مقاله پژوهشی

پیاده‌سازی و مقایسه مدارات فشرده‌ساز ۵ به ۲ با تکنیک ورودی انتشار گیت (GDI)

ابراهیم ابراهیم‌زاده، امیر فتحی و بهبود مشعوفی

چکیده: فشرده‌سازها (کمپرسورها) به دلیل اینکه بیشترین مصرف توان و سرعت را در مدار به خود اختصاص می‌دهند دارای نقش اساسی در ضرب‌کننده‌ها هستند. تکنیک ورودی انتشار گیت (GDI) برای طراحی و پیاده‌سازی مدارهای کم‌توان استفاده شده است. این تکنیک نقش مهمی در کاهش توان و افزایش سرعت دارد. گیت‌های استفاده‌شده برای پیاده‌سازی این فشرده‌سازها (GDI) نشان‌دهنده بهبود در تعداد ترانزیستور مورد استفاده، توان و سرعت است که با مقایسه‌ای ساده با منطق استاتیک CMOS می‌توان به آن پی برد. در این مقاله چند مورد از ساختارهای مهم فشرده‌سازها به وسیله تکنیک مورد نظر (GDI) پیاده‌سازی، و نتایج به‌دست‌آمده بیان شده است. این پیاده‌سازی‌ها در شرایط یکسان مورد بررسی قرار گرفته‌اند که شاهد بهبود عملکرد کلی خواهیم بود.

کلیدواژه: **فشرده‌ساز (کمپرسور)، ورودی انتشار گیت (GDI)، ضرب‌کننده، موج رقم نقلی، حاصل‌ضرب جزئی، جمع‌کننده نهایی.**

۱- مقدمه

امروزه بسیاری از ریزپردازنده‌ها، برنامه‌های چندرسانه‌ای و DSP از ضرب‌کننده‌ها استفاده می‌کنند؛ بنابراین ضرب‌کننده‌ها عنصر اصلی همه این واحدهای پردازشی هستند. ضرب‌کننده‌ها به دلیل مصرف توان و اشغال مساحت تراشه از اهمیت بالایی برخوردار هستند. این امر موجب شده تا طراحان این صنعت به طرح‌هایی با سرعت بالا و توان کم و همچنین مساحت کمتر بپردازند. عملیات ضرب، عملکرد هر سیستمی را کند می‌کند [۱]. هر ضرب‌کننده را می‌توان به سه مرحله تقسیم کرد: مرحله تولید حاصل‌ضرب‌های جزئی، مرحله افزودن حاصل‌ضرب‌های جزئی و مرحله جمع نهایی. بلوک دیاگرام یک ضرب‌کننده در شکل ۱ نشان داده شده است.

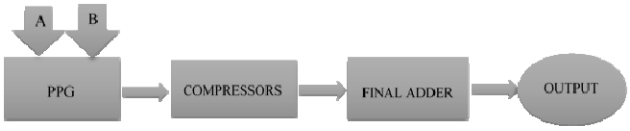
همان طور که می‌دانیم مرحله دوم فرایند ضرب باعث به وجود آمدن بیشترین میزان تأخیر می‌شود و همچنین بخش اصلی توان را مصرف و کسر بالای منطقه سیلیکون را اشغال می‌کند. با این حال به دلیل مسائل قابل حمل و قابلیت اطمینان، مصرف توان ضرب‌کننده‌ها به همان اندازه مهم شده است. فشرده‌سازها برای کاهش تعداد جمع‌کننده‌ها در مرحله جمع حاصل‌ضرب‌های جزئی و افزایش راندمان توان استفاده می‌شوند. در

این مقاله در تاریخ ۲۶ خرداد ماه ۱۴۰۳ دریافت و در تاریخ ۱۸ آذر ماه ۱۴۰۳ بازنگری شد.

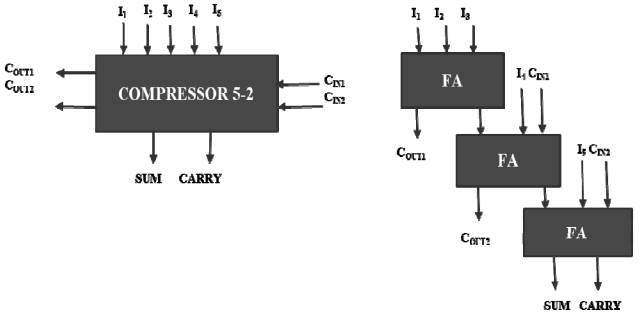
ابراهیم ابراهیم‌زاده، دانشکده برق، کامپیوتر و فناوری‌های نوین، دانشگاه ارومیه، ارومیه، ایران، (email: ebrahimebrahimzadehgonbady@gmail.com).

امیر فتحی (نویسنده مسئول)، دانشکده برق، کامپیوتر و فناوری‌های نوین، دانشگاه ارومیه، ارومیه، ایران، (email: a.fathi@urmia.ac.ir).

بهبود مشعوفی، دانشکده برق، کامپیوتر و فناوری‌های نوین، دانشگاه ارومیه، ارومیه، ایران، (email: b.mashoufi@urmia.ac.ir).



شکل ۱: ساختار کلی ضرب‌کننده.

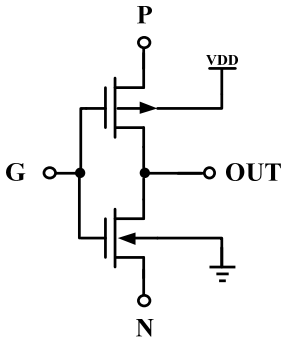


شکل ۲: ساختار فشرده‌ساز ۵ به ۲.

حالت مرسوم در مرحله دوم از تعدادی جمع‌کننده کامل برای انجام عملیات جمع استفاده می‌شود؛ اما امروزه رایج‌ترین روش استفاده در این مرحله، استفاده از فشرده‌سازها برای افزایش سرعت جمع این حاصل‌ضرب‌های جزئی است. همان طور که در شکل ۲ مشاهده می‌کنید، فشرده‌ساز ۵-۲ از زنجیره‌ای از جمع‌کننده‌های کامل تشکیل شده است، اما امروزه ساختارهای مختلف و بهینه بسیاری طراحی و اجرا شده است. فشرده‌ساز معمولی ۵-۲ دارای پنج گیت XOR برای تولید خروجی است. فشرده‌سازها به طور گسترده‌ای برای بهبود عملکرد ضرب‌کننده‌ها و متعاقباً برای داشتن سلول‌های محاسباتی سریع و کم‌توان استفاده شده‌اند.

در حالت کلی برای بهبود ساختارها می‌توان در دو سطح ترانزیستور و گیت تغییراتی اعمال کرد. کاهش تعداد گیت‌های مورد استفاده در مدارات مورد نظر و یا کاهش در تعداد ترانزیستورهای مورد استفاده در این گیت‌ها سبب بهبود پارامترهای سرعت، توان مصرفی و همچنین مساحت می‌شود. در این مقاله با استفاده از تکنیک مورد نظر که در بخش بعدی به طور کامل به آن پرداخته خواهد شد، مدارات مورد نظر در سطح ترانزیستور بهبود داده شده‌اند. به معنای دیگر با پیاده‌سازی گیت‌های موجود در مدارات فشرده‌ساز با تعداد ترانزیستورهای کمتر، بهبود در پارامترهای سرعت، توان و مساحت رخ داده است. در حالت کلی از تکنیک‌های مورد استفاده در پیاده‌سازی می‌توان به منطق استاتیک CMOS، PTL[1]، N-PG و تکنیک GDI اصلاح‌شده[2] اشاره کرد.

1. Pass Transistor Level
2. Gate Diffusion Input



شکل ۳: ساختار سلول GDI اصلاح‌شده.

جدول ۱: پیاده‌سازی توابع بولی در GDI.

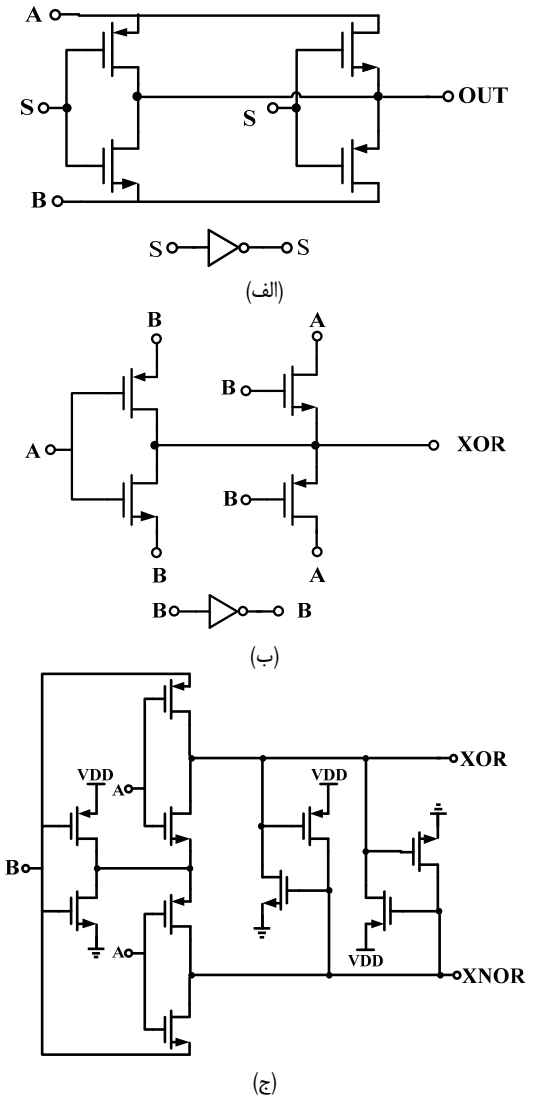
N	P	G	OUT	FUNCTION
۰	B	A	A□.B	F۱
B	A	A	A□+B	F۲
۱	B	A	A+B	OR
B	۰	A	A.B	AND
B	A	S	S□A+SB	MUX

ما در این مقاله برای پیاده‌سازی مدارات از تکنیک GDI اصلاح‌شده استفاده کرده‌ایم که در بخش بعدی توضیحات مورد نظر گفته خواهد شد. در بخش دوم به بیان تکنیک مورد استفاده GDI پرداخته شده است. در بخش سوم، چهار نمونه از مدارات فشرده‌ساز ارائه‌شده در مقالات معتبر مورد بررسی قرار گرفته‌اند و نهایتاً در بخش چهارم به نتایج به‌دست‌آمده از پیاده‌سازی مدارات ارائه‌شده با تکنیک مورد نظر پرداخته شده است.

۲- تکنیک GDI اصلاح‌شده

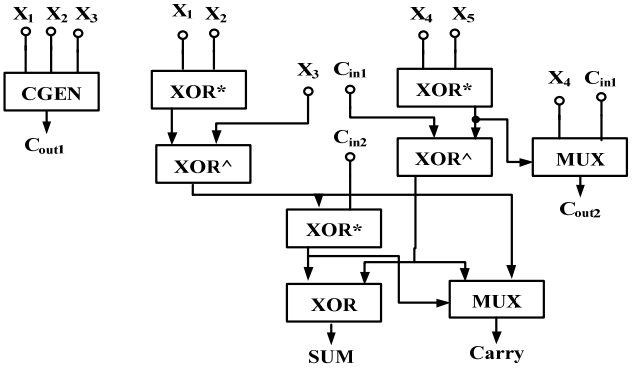
ورودی انتشار دروازه [۲] (GDI CELL) روشی است که بر اساس استفاده از یک سلول ساده می‌باشد و همان طور که در شکل ۳ نشان داده شده است، بیان می‌شود. رویکرد GDI اجرای طیف گسترده‌ای از توابع منطقی پیچیده را تنها با استفاده از دو ترانزیستور ممکن می‌سازد. این روشی برای طراحی مدارهای سریع و کم‌مصرف با استفاده از ترانزیستورهای کمتر در مقایسه با CMOS است؛ در حالی که ویژگی‌های نوسانی و توان را بهبود می‌بخشد و طراحی ساده را ممکن می‌سازد. بسیاری از این توابع در CMOS (با ۶ تا ۱۲ ترانزیستور) و همچنین PTL پیچیده هستند، اما با طراحی GDI که توسط ۲ ترانزیستور انجام می‌شود بسیار ساده هستند. سلول GDI اصلاح‌شده برای پیاده‌سازی در یک فرایند استاندارد CMOS کاملاً سازگار است و در مقایسه با سلول‌های اولیه GDI مساحت کمتری را نشان می‌دهد. سلول GDI شبیه یک اینورتر است، اما تفاوت‌هایی نیز دارد. سلول ورودی انتشار گیت دارای سه ورودی است: G ورودی گیت مشترک NMOS و PMOS، P (سورس PMOS) و N (سورس NMOS) که در آن بالک ترانزیستور NMOS به زمین (GND) وصل شده و بالک PMOS به بالاترین سطح ولتاژ (VDD) متصل است. اصلاح سلول GDI امکان پیاده‌سازی و استفاده از این تکنیک را برخلاف حالت معمولی در فرایند استاندارد CMOS فراهم می‌کند. همان طور که در جدول ۱ مشاهده می‌کنیم، توابع مختلف بولی را می‌توان با تغییر ورودی‌های اعمال‌شده به‌دست آورد. قابلیت کاهش ترانزیستورها در طراحی مدارهای مورد نیاز و همچنین سرعت بالا و توان کم از مزایای این تکنیک است.

حال بیشترین گیت‌های مورد استفاده در پیاده‌سازی فشرده‌سازها،

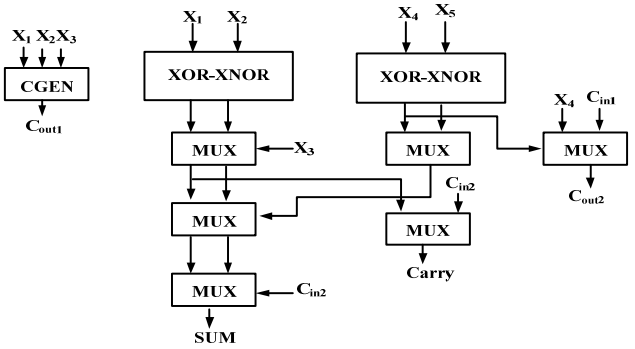


شکل ۴: پیاده‌سازی ساختارها با تکنیک GDI [۳] (الف) MUX، (ب) XOR و (ج) XOR-XNOR.

گیت‌های XOR و مالتی‌پلکسر (MUX) هستند. از طرفی به‌دلیل نیاز به دو سیگنال خروجی همزمان از XOR و XNOR گیت XOR-XNOR پیشنهادی نیز استفاده می‌شود و نیز ساختارهای مورد نظر باید دارای نوسان کامل باشند [۳]. در ساختار XOR-XNOR ابتدا به‌وسیله یک سلول (تابع NOT منطقی) مقدار $\overline{B}$ را به دست می‌آوریم، سپس به‌وسیله دو سلول دیگر مقادیر مورد نیاز XOR و XNOR به دست می‌آید. در برخی حالت‌های ممکن منطقی مقادیر XOR و XNOR به میزان V_{th} دارای خطا می‌باشد که به همین منظور دو دسته ترانزیستور PMOS و NMOS در نظر گرفته شده تا مقادیر به صفر و یک منطقی تبدیل شوند. به طور مثال اگر مقدار ورودی‌های A و B برابر صفر باشند، میزان خروجی XNOR ما برابر مقدار منطقی یک خواهد بود؛ در صورتی که میزان خروجی XOR برابر مقدار V_{th} خواهد بود. به همین دلیل برای دشارژ این نود و رسیدن به میزان منطقی صفر، ترانزیستور NMOS در دسته چپ عمل دشارژ را انجام می‌دهد (اگر در حالتی میزان خروجی هر نودی برابر $VDD-V_{th}$ بود، ترانزیستورهای PMOS وظیفه شارژ این نودها را بر عهده خواهند داشت). ساختار گیت‌های گفته‌شده در سطح ترانزیستور به‌وسیله تکنیک GDI، همان طور که در شکل ۴ مشاهده می‌شود، پیاده‌سازی می‌شوند.



شکل ۵: ساختار پیشنهادی [۴].



شکل ۶: ساختار ارائه‌شده [۵].

۳- فشرده‌سازهای ۲-۵

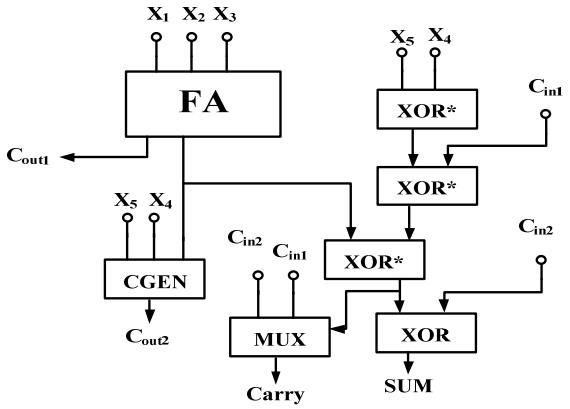
همان طور که گفته شد، بیشترین مصرف توان در یک ضرب‌کننده به بخش جمع‌کردن حاصل‌ضرب‌های جزئی برمی‌گردد. از فشرده‌سازها برای کاهش تعداد جمع‌کننده‌ها در مرحله جمع حاصل‌ضرب‌های جزئی و افزایش راندمان توان استفاده می‌شود. عمل جمع حاصل‌ضرب‌های جزئی در مدارهای ضرب‌کننده به دو صورت سریال و موازی انجام می‌شود و امروزه از جمع‌کننده‌های موازی و همچنین فشرده‌ساز یا شمارنده بیشتر استفاده می‌شود.

به طور کلی یک فشرده‌ساز دارای ۵ ورودی اصلی I_1 تا I_5 و ۲ ورودی ثانویه (C_{in1} و C_{in2}) می‌باشد. C_{in1} و C_{in2} ارزش کمتری نسبت به ورودی‌های اصلی دارند؛ زیرا مقادیر خود را از فشرده‌سازهای قبلی خود می‌گیرند. ارزش باینری همه ورودی‌ها و نیز خروجی Sum در ساختار فشرده‌ساز یکسان و برابر یک است؛ اما ارزش خروجی‌های C_{out1}، C_{out2} و $Carry$ دو برابر موارد قبلی می‌باشد. در نتیجه، فرمول محاسبه یک فشرده‌ساز به صورت زیر خواهد بود

$$I_1+I_2+I_3+I_4+I_5+C_{in1}+C_{in2}= Sum+2(Carry+C_{out1}+C_{out2}) \quad (1)$$

حال ۴ ساختار پیشنهادی فشرده‌ساز ۲-۵ که در مقالات قبلی ارائه شده‌اند، در ادامه مورد بررسی قرار گرفته‌اند که در تمامی ساختارها در پیاده‌سازی در سطح ترانزیستوری از منطق استاتیک CMOS استفاده کرده‌اند. همان طور که مشاهده می‌شود، رفته‌رفته ساختار این فشرده‌سازها در سطح گیت بهبود می‌یابد. یکی از موارد بسیار مهم در پیاده‌سازی و طراحی مدارات فشرده‌ساز، به وجود نیامدن مشکل موج رقم نقلی[1] است. تولید C_{out} نباید به C_{in} وابسته باشد، زیرا C_{in1} و C_{in2} از سلول‌های فشرده‌سازهای

1. Carry Rippling



شکل ۷: ساختار ارائه‌شده [۶].

همسایه می‌آیند و این مشکل زمانی به وجود می‌آید که چندین فشرده‌ساز با هم کسکود شده و موجب افزایش کلی تأخیر می‌شوند.

در اولین ساختار، CGEN۱ برای تولید سیگنال C_{out1} استفاده می‌شود، اما در تولید C_{out2} مشاهده می‌کنیم C_{in1} دخالت دارد که موجب ایجاد مشکل موج رقم نقلی می‌شود. تأخیر این ساختار به اندازه ۴ گیت XOR است. توابع خروجی ساختار [۴] در شکل ۵ به صورت زیر هستند

$$Sum = I_1 \oplus I_2 \oplus I_3 \oplus I_4 \oplus I_5 \oplus C_{in1} \oplus C_{in2} \quad (2)$$

$$C_{out1} = (I_1 + I_2)I_3 + I_1I_2 \quad (3)$$

$$C_{out2} = (I_4 \oplus I_5)C_{in1} + (\overline{I_4 \oplus I_5})I_4 \quad (4)$$

$$Carry = ((I_1 \oplus I_2 \oplus I_3) \oplus (I_4 \oplus I_5 \oplus C_{in1}))C_{in2} + \overline{((I_1 \oplus I_2 \oplus I_3) \oplus (I_4 \oplus I_5 \oplus C_{in1}))}(I_1 \oplus I_2 \oplus I_3) \quad (5)$$

در ساختار بعدی [۵] ارائه شده همان طور که در شکل ۶ مشاهده می‌شود، با استفاده از تغییر گیت‌های مورد استفاده در پیاده‌سازی، ساختار مشابهی با ساختار قبلی را ارائه داده که همانند ساختار قبلی دارای مشکل موج رقم نقلی می‌باشد.

در ساختار ارائه‌شده بعدی [۶] که در شکل ۷ مشاهده می‌شود که سیگنال C_{out1} از رقم نقلی جمع‌کننده کامل که دارای ۳ ورودی اولیه هست و C_{out2} از CGEN که به‌وسیله ورودی‌های اولیه پیاده‌سازی شده است، تولید می‌شوند که موجب رخدادن مشکل موج رقم نقلی نمی‌شود. توابع خروجی ساختار ارائه‌شده به صورت زیر هستند

$$Sum = I_1 \oplus I_2 \oplus I_3 \oplus I_4 \oplus I_5 \oplus C_{in1} \oplus C_{in2} \quad (6)$$

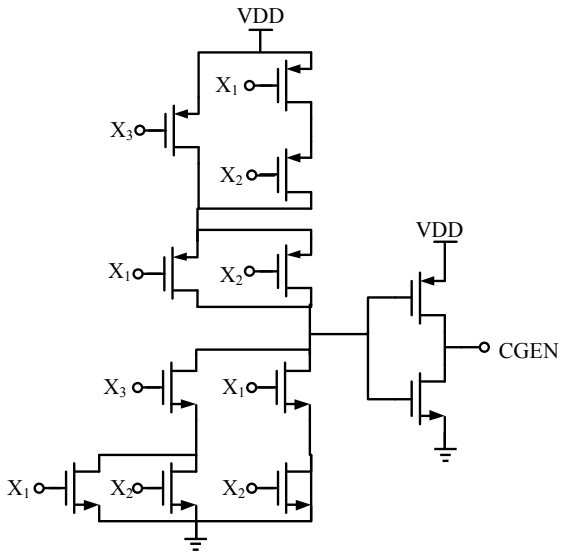
$$C_{out1} = (I_1 + I_2)I_3 + I_1I_2 \quad (7)$$

$$C_{out2} = (I_4 + I_5)(I_1 \oplus I_2 \oplus I_3) + I_4I_5 \quad (8)$$

$$Carry = (I_1 \oplus I_2 \oplus I_3 \oplus I_4 \oplus I_5 \oplus C_{in1})C_{in2} + \overline{(I_1 \oplus I_2 \oplus I_3 \oplus I_4 \oplus I_5 \oplus C_{in1})}C_{in1} \quad (9)$$

در ساختارهای [۴] تا [۶] برای تولید یکی از C_{out}ها از ساختار CGEN استفاده شده که نحوه پیاده‌سازی آن در شکل ۸ نشان داده شده است. در این ساختار به‌وسیله منطق CMOS و استفاده از ۱۲ ترانزیستور تابع CGEN پیاده‌سازی شده که دارای سه ورودی (I_1، I_2 و I_3) بوده و مقدار خروجی مورد نظر به دست می‌آید.

در [۷] برای طراحی جدید یک کمپرسور که دارای مشکل موج رقم نقلی نباشد، جدول درستی جدیدی ارائه شده است. در این ساختار برنامه‌ریزی شده که C_{out1} و C_{out2} برای همه مرحله‌ها مستقل از C_{in1}



شکل ۸: ساختار CGEN در مدارات [۴] تا [۶].

و $C_{in۲}$ باشند تا عملکرد سرعت را در یک طرح ساده‌تر افزایش دهند. بر اساس جدول درستی ارائه‌شده در مقاله مورد نظر، خروجی $C_{out۱}$ همیشه به ولتاژ سطح بالا افزایش می‌یابد، اگر حداقل دو سیگنال ورودی دارای مقدار منطقی «۱» باشند. بنابراین خواهیم داشت

$$C_{out۱} = I_۱I_۲ + I_۱I_۳ + I_۲I_۳ \quad (۱۰)$$

و برای تولید $C_{out۲}$ و Sum از روی جدول درستی خواهیم داشت

$$Sum = I_۱ \oplus I_۲ \oplus I_۳ \oplus I_۴ \oplus I_۵ \oplus I_۶ \oplus I_۷ \quad (۱۱)$$

$$C_{out۲} = \begin{cases} I_۴ \text{ or } I_۵ \rightarrow \text{if} : I_۴ = I_۵ \\ I_۱ \oplus I_۲ \oplus I_۳ \rightarrow \text{if} : I_۴ \neq I_۵ \end{cases} \quad (۱۲)$$

مقدار Sum که برابر XOR تمامی ورودی‌های ممکن است و مقدار $C_{out۲}$ در صورتی که ورودی‌های $I_۴$ و $I_۵$ برابر باشند، مقدار خروجی برابر مقادیر $I_۴$ و $I_۵$ خواهد بود (به‌دلیل برابربودن دو مقدار $I_۴$ و $I_۵$ تفاوتی در در نظر گرفتن این دو مقدار وجود ندارد.) و اگر دو مقدار برابر نباشند، مقدار خروجی برابر XOR سه ورودی مشخص‌شده خواهد بود.

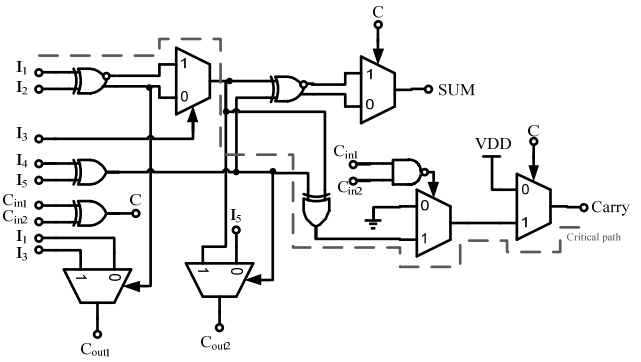
برای تولید carry طبق جدول درستی ارائه‌شده در مقاله مورد نظر، زمانی که $C_{in۱} = C_{in۲} = ۱$ باشد، مقدار خروجی برابر یک خواهد بود و وقتی که $C_{in۱} = C_{in۲} = ۰$ باشد، خروجی برابر صفر خواهد شد. برای حالت $C_{in۱} \neq C_{in۲}$ هم به صورت زیر خواهیم داشت

$$Carry = \begin{cases} I_۱ \oplus I_۲ \oplus I_۳ \rightarrow \text{if} : I_۴ = I_۵ \\ \overline{I_۱ \oplus I_۲ \oplus I_۳} \rightarrow \text{if} : I_۴ \neq I_۵ \end{cases} \quad (۱۳)$$

حال ساختار به‌دست‌آمده از این توابع به صورت شکل ۹ است که تأخیر در این ساختار نسبت به ساختارهای گفته‌شده قبلی به میزان زیادی بهبود یافته و تأخیر مسیر بحرانی این ساختار برابر ۲/۷۵ گیت خواهد بود. همچنین همانند ساختار قبلی، مشکل موج رقم نقلی با دخالت‌ندادن C_{in}ها در تولید C_{out}ها حل شده است.

٤- نتایج به‌دست‌آمده و نتیجه‌گیری

در تمامی مقالات و ساختارهایی که مورد بررسی قرار گرفت، در پیاده‌سازی در سطح ترانزیستور از منطق استاتیک CMOS استفاده شده است. همان طور که قبلاً گفته شد در مقایسه منطق استاتیک CMOS با تکنیک مورد نظر GDI سه پارامتر اصلی را می‌توان بهبود داد. در ادامه ما



شکل ۹: ساختار ارائه‌شده [۷].

جدول ۲: مقایسه ۴ ساختار پیاده‌سازی‌شده با تکنیک GDI.

ساختار	[۴]	[۵]	[۶]	[۷]
تکنولوژی (um)	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸
ولتاژ (V)	۱/۸	۱/۸	۱/۸	۱/۸
تعداد ترانزیستور	۷۲	۶۸	۷۲	۶۸
توان (uw)	۱۷۱	۱۴۶	۲۲۱	۱۴۱
تأخیر (ps)	۴۳۳	۳۷۹	۳۹۰	۳۵۵
تأخیر گیت	۴Δ	۳Δ	۳Δ	۲/۷۵Δ
PDP	۶۸/۱	۵۵/۹	۸۳/۱	۵۰/۱

۴ ساختار فشرده‌ساز ۲-۵ را به‌وسیله تکنیک GDI پیاده‌سازی کرده‌ایم. تمامی شبیه‌سازی‌ها برای محاسبه تأخیر و مصرف توان با استفاده از نرم‌افزار HSPICE در تکنولوژی ۰/۱۸ میکرومتر و با ولتاژ ۱/۸ ولت انجام شده است. گیت‌های مورد استفاده در این پیاده‌سازی در بخش ۲ آورده شده‌اند که در حالت کلی موجب کاهش توان، کاهش تعداد ترانزیستور و همچنین بهبود تأخیر می‌شود. در جدول ۲ به مقایسه پارامترهای این ساختار که با تکنیک GDI پیاده‌سازی شده‌اند، پرداخته‌ایم. شرایط شبیه‌سازی و مقایسه همه ساختارها به صورت یکسان و در شرایط مورد نظر ماست.

طبق جدول ۲ ساختار [۷] دارای بهترین PDP می‌باشد که می‌توان در مدارات ضرب‌کننده از این ساختار با پیاده‌سازی GDI اصلاح‌شده [۸] و [۹] جهت جمع حاصل‌ضرب‌های جزئی استفاده نمود. در این مقاله همان طور که مشاهده شد می‌توان با ایجاد تغییر در جدول درستی و ارائه معادلات جدید، ساختارهای جدیدی در سطح گیت ارائه داد (بررسی مطالعات قبلی) و همچنین در سطح ترانزیستور با استفاده از یک تکنیک قابل پیاده‌سازی موجب کاهش ترانزیستورها شد که با این کار موجب کوتاه‌ترشدن مسیر بحرانی و بهبود سرعت شد. از طرفی با کاهش تعداد ترانزیستورها نتیجه کاهش مساحت اشغال شده و همچنین توان مصرفی کمتر به دست می‌آید. تأثیر استفاده از تکنیک اصلاح‌شده GDI قابل مشاهده است.

مراجع

[1] A. Kumar, "VLSI implementation of vedic multiplier," *Design and Development of Efficient Energy Systems*, Ch. 2, pp. 13-30, Scrivener Publishing LLC, 2022.

[2] M. A. Ahmed, M. A. M. El-Bendary, F. Z. Amer, and S. M. Singy, "Delay optimization of 4-bit ALU designed in FS-GDI technique," in *Proc. Int. Conf. on Innovative Trends in Computer Engineering, ITCE'19*, pp. 534-537, Aswan, Egypt, 2-4 Feb. 2019.

[3] A. Morgenshtein, V. Yuzhaninov, A. Kovshilovsky, and A. Fish, "Full-swing gate diffusion input logic-case-study of low-power CLA adder design," *Integration*, vol. 47, no. 1, pp. 62-70, Jan. 2014.

[4] C. H. Chang, J. Gu, and M. Zhang, "Ultra-low-voltage low-power CMOS 4-2 and 5-2 compressors for fast arithmetic circuits," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 51, no. 10, pp. 1985-1997, Oct. 2004.

[5] S. Veeramachaneni, K. M. Krishna, L. Avinash, S. R. Puppala, and M. B. Srinivas, "Novel architectures for high-speed and low-power 3-2, 4-2 and 5-2 compressors," in *Proc. 20th Int. Conf. on VLSI Design Held Jointly with 6th Int. Conf. on Embedded Systems, VLSID'07,* pp. 324-329, Bangalore, India, 6-10 Jan. 2007.

[6] A. Najafi, A. Najafi, and S. Mirzakuchaki, "Low-power and high-performance 5:2 compressors," in *Proc. 22nd Iranian Conf. on Electrical Engineering, ICEE'14,* pp. 33-37, Tehran, Iran, 20-22 May 2014.

[7] A. Fathi, B. Mashoufi, and S. Azizian, "Very fast, high-performance 5-2 and 7-2 compressors in CMOS process for rapid parallel accumulations," *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 28, no. 6, pp. 1403-1412, Jun. 2020.

[8] R. Uma and P. Dhavachelvan, "Modified gate diffusion input technique: a new technique for enhancing performance in full adder circuits," *Procedia Technology*, vol. 6, pp. 74-81, 2012.

[9] E. Abiri, A. Darabi, and S. Salem, "Design of multiple-valued logic gates using gate-diffusion input for image processing applications," *Computers & Electrical Engineering*, vol. 69, pp. 142-157, 2018.

ابراهیم ابراهیم‌زاده تحصیلات خود را در مقطع کارشناسی مهندسی برق در سال ۱۳۹۹ از دانشگاه پیام نور واحد ارومیه و در مقطع کارشناسی ارشد مدارات مجتمع الکترونیک در سال ۱۴۰۱ از دانشگاه ارومیه دریافت نمود. هم‌اکنون فارغ التحصیل می‌باشد و تمایل به دریافت مدرک دکترا در مقطع مدارات مجتمع الکترونیک دیجیتال را دارد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدارات مجتمع دیجیتال، پردازش تصویر، مبدل های ADC و مدرات محاسباتی کم‌توان می‌باشد.

امیر فتحی تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد و دکترای مهندسی برق الکترونیک گرایش مدار مجتمع بترتیب در سال‌های ۱۳۸۷ ، ۱۳۹۱ و ۱۳۹۷ از دانشگاه ارومیه به پایان رسانده است و هم‌اکنون استاد دانشکده مهندسی برق دانشگاه ارومیه می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: مدارات مجتمع آنالوگ، مدارات مجتمع دیجیتال، مدارات RF، مبدل‌های داده، الگوریتم‌های موازی و پردازش موازی.

بهبود مشعوفی در سال ۱۳۶۶ مدرک کارشناسی مهندسی الکترونیک خود را از دانشگاه تبریز و در سال ۱۳۷۰ مدرک کارشناسی ارشد مهندسی الکترونیک خود را از دانشگاه صنعتی امیرکبیر دریافت نمود. نام‌برده از سال ۱۳۷۲ الی ۱۳۷۴ به عنوان عضو هیأت علمی در گروه الکترونیک دانشکده فنی دانشگاه ارومیه مشغول به کار گردید. ایشان در سال ۱۳۸۱ موفق به اخذ درجه دکترا در مهندسی سیستم‌های الکترونیک دیجیتال از دانشگاه صنعتی امیرکبیر گردید. دکتر مشعوفی پس از اخذ مدرک دکتری مجددا از سال ۱۳۸۱ در گروه الکترونیک دانشکده فنی دانشگاه ارومیه مشغول به فعالیتهای آموزشی و پژوهشی شد و هم اکنون عضو هیأت علمی این دانشگاه می‌باشد. زمینه‌های علمی مورد علاقه ایشان سخت افزارهای هوش مصنوعی، سخت افزارهای موازی، پیاده‌سازی سخت‌افزاری الگوریتم‌های پردازش سیگنال دیجیتال و مدارهای ASIC/FPGA می‌باشد.