طراحی سلول روبشی سریع با توان استاتیکی کاهش‌یافته در تکنولوژی CMOS ۲۲ nm

پگاه زکیان و راهبه نیارکی اصلی

چکیده: یکی از رایج‌ترین روش‌های طراحی آزمون‌پذیر، طراحی به روش روبشی است که باعث افزایش مشاهده‌پذیری و کنترل‌پذیری گره‌های مدار می‌شود. در این مقاله به ارائه سلول روبشی می‌پردازیم که ضمن کاهش تعداد ترانزیستورهای مصرفی، سبب افزایش سرعت عملکرد سلول و کاهش انرژی مصرفی آن می‌گردد. ساختار پیشنهادی اول، بهینه‌شده ساختار سلول روبشی دروازه‌دار کم‌توان است و بر مبنای حذف جریان نشتی در بخشی از مدار در مواقعی که مورد استفاده قرار نمی‌گیرد بنا شده و به واسطه کاهش مقدار خازن پارازیتی خروجی موجب کاهش تأخیر انتشار می‌گردد. در ساختار پیشنهادی دوم که ساختار اصلی است، سلول روبشی پیشنهادی بر مبنای کنترل وارونگر لچ مغلوب در مسیر پایین‌کش طراحی شده که با قطع مسیر جریان در مواقع غیر ضروری، باعث کاهش توان مصرفی استاتیکی می‌گردد. همچنین با کاهش تعداد ترانزیستورهای مصرفی در لچ مغلوب نسبت به ساختارهای مشابه تأخیر مدار بهبود می‌یابد. شبیه‌سازی در تکنولوژی CMOS ۲۲ nm و با استفاده از نرم‌افزار Hspice انجام شده است. نتایج شبیه‌سازی نشان می‌دهد که ساختارهای پیشنهادی در مقایسه با ساختارهای پیشین ضمن کاهش تأخیر، از توان استاتیکی بهتری برخوردار هستند.

کلیدواژه: **تأخیر انتشار، توان مصرفی، سرعت عملکرد، طراحی روبشی.**

۱- مقدمه

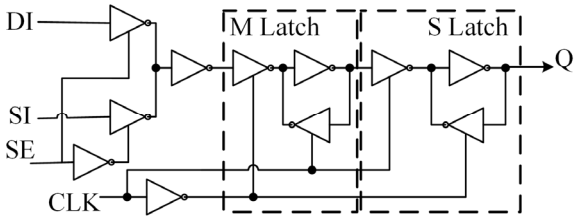
در طراحی مدارات مجتمع، آزمون‌پذیری، کنترل‌پذیری و مشاهده‌پذیری حایز اهمیت است. کنترل‌پذیری، قابلیت نشاندن و بازنشاندن گره‌های داخلی مدار است و مفهوم مشاهده‌پذیری نیز به توانایی مشاهده مستقیم یا غیر مستقیم وضعیت هر گره در مدار نسبت داده می‌شود. اگر مدار از کنترل‌پذیری و مشاهده‌پذیری مناسبی برخوردار باشد، از آنجایی که می‌توان خطاهای زیاد را با تعداد کمی بردار تست ارزیابی کرد هزینه تست کاهش می‌یابد.

طراحی روبشی یکی از مهم‌ترین روش‌ها در طراحی برای آزمون‌پذیری است که کنترل‌پذیری و مشاهده‌پذیری را برای هر ثبات فراهم می‌آورد. در طراحی روبشی، عمل ثبات‌ها در دو حالت اتفاق می‌افتد: حالت عادی و حالت روبشی. در حالت عادی، عبور داده از ثبات‌ها به شکل طبیعی است و در حالت روبشی، ثبات‌ها به یک ثبات انتقالی قوی تبدیل می‌شوند. در این وضعیت از N پالس‌ساعت استفاده می‌شود تا N بیت موجود در ثبات‌ها جابه‌جا شود و N بیت دیگر جای آنها را بگیرد. این عمل با استفاده از طراحی ویژه فلیپ‌فلاپ‌های ثبات به صورت سلول روبشی انجام می‌گردد.

این مقاله در تاریخ ۱۶ اسفند ماه ۱۳۹۶ دریافت و در تاریخ ۲۷ اردیبهشت ماه ۱۳۹۸ بازنگری شد.

پگاه زکیان، دانشکده فنی، دانشگاه گیلان، رشت، ایران، (email: p_zakian@msc.guilan.ac.ir).

راهبه نیارکی اصلی (نویسنده مسئول)، دانشکده فنی، دانشگاه گیلان، رشت، ایران، (email: niaraki@guilan.ac.ir).



شکل ۱: سلول روبشی قراردادی [۱].

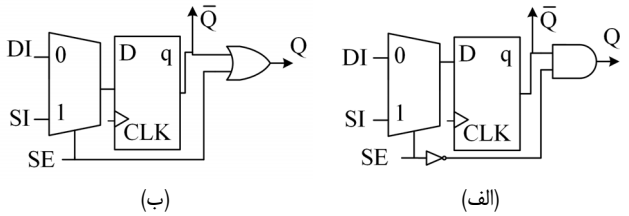
شکل ۱ سلول روبشی قراردادی را نشان می‌دهد که شامل دو لچ غالب و مغلوب است. لچ غالب داده را نگه می‌دارد و لچ مغلوب، در صورت فعال‌بودن، انتقال داده به خروجی را انجام می‌دهد [۱]. زمانی که سیگنال کنترلی صفر است ($SE=۰$) در حالت عادی مدار قرار داریم. در این حالت در زمانی که پالس‌ساعت یک است، سیگنال داده ورودی (DI) وارد لچ غالب شده و توسط فیدبک موجود در لچ ذخیره می‌شود و در زمان صفربودن پالس‌ساعت داده وارد لچ مغلوب شده و به خروجی تحویل داده می‌شود. زمانی که سیگنال کنترلی یک است ($SE=۱$)، سیگنال ورودی سریالی (SI) از طریق لچ غالب و مغلوب وارد خروجی می‌شود [۲] و [۳].

تاکنون در زمینه سلول‌های روبشی تحقیقات مختلفی انجام شده و نشان می‌دهند که سلول‌های روبشی مختلف مزایا و معایب ویژه خود را دارند [۴]. در سلول‌های روبشی که اخیراً معرفی شده‌اند، استفاده از سیگنال پالس‌ساعت کنترل‌شده با ولتاژ، بسیار کارامد است به طوری که سبب جلوگیری از انتقال داده‌های اضافی در مدار داخلی و کاهش توان اتلافی در حالت عادی کار سلول روبشی می‌شود [۵]. تکنیک دیگری نیز برای کاهش توان اتلافی در مدارات تحت آزمون وجود دارد که X-filling نامیده می‌شود. این روش با پرکردن بیت‌های بی‌اهمیت (بیت‌های X) سبب کاهش فعالیت سوییچ‌زنی در مدارهای تحت آزمون می‌شود [۶]. سلول روبشی ارائه‌شده در [۷] نیز با حذف مالتی‌پلکسر موجود در سلول روبشی قراردادی، از درگاه‌های مجزایی برای کنترل سیگنال ورودی در لچ غالب استفاده می‌کند و تأخیر انتشار را کاهش می‌دهد.

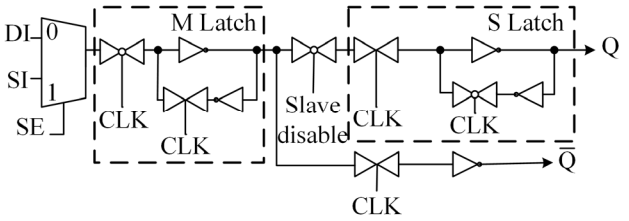
ادامه مطالب در بخش‌های ذیل ارائه می‌گردد: بخش ۲ مروری بر کارهای انجام‌شده در زمینه سلول روبشی را ارائه می‌دهد. بخش ۳ به معرفی طرح‌های پیشنهادی می‌پردازد. در بخش ۴ نتایج شبیه‌سازی‌ها با استفاده از نرم‌افزار HSpice ارائه می‌گردد و در بخش ۵ پارامترهای عملکردی مدارهای پیشنهادی با مدارهای پیشین مقایسه می‌شود و توان، تأخیر انتشار و حاصل‌ضرب توان در تأخیر انتشار مدارهای پیشنهادی با مدارهای دیگری که تاکنون پیشنهاد شده‌اند، مقایسه و دلایل برتری آنها ذکر می‌شود. بخش ۶ به جمع‌بندی مقاله اختصاص داده شده است.

۲- مروری بر کارهای پیشین

شکل ۲ سلول روبشی ANDB و سلول روبشی OR را نشان می‌دهد. در سلول روبشی ANDB، خروجی فلیپ‌فلاپ D به گیت AND و در



شکل ۲: سلول روبشی (الف) ANDB و (ب) OR [۸].

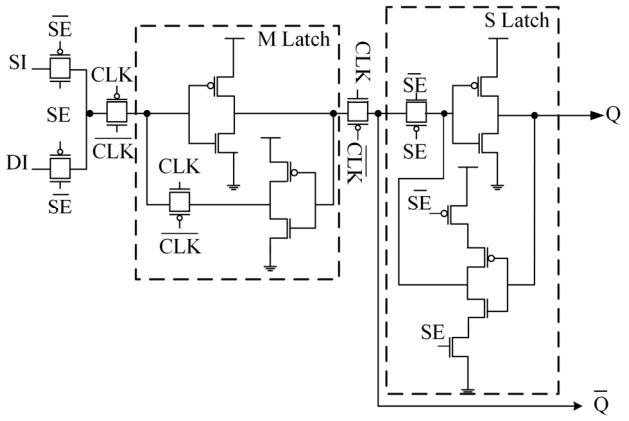


شکل ۳: سلول روبشی قراردادی اصلاح‌شده [۹].

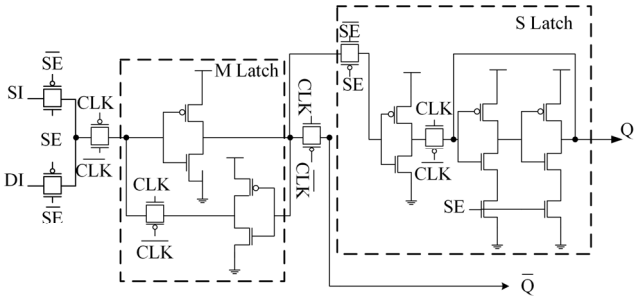
سلول روبشی OR، به گیت OR متصل شده است. در ANDB، پایه دوم گیت AND به SEnot و در سلول روبشی OR پایه دوم گیت OR به SE وصل است که سبب می‌شود در حالت عادی این گیت‌ها غیر فعال باشند. در هر دو ساختار خروجی گیت به طبقه منطقی بعدی و خروجی فلیپ‌فلاپ به سلول روبشی بعدی می‌رود [۸].

شکل ۳ سلول روبشی قراردادی اصلاح‌شده را نشان می‌دهد. در این ساختار، وجود یک گیت انتقالی پس از لچ غالب سبب غیر فعال کردن لچ مغلوب در حالت روبشی می‌شود. این گیت انتقالی توسط سیگنال slave disable کنترل می‌شود که این سیگنال به اندازه نیم‌سیکل پالس‌ساعت، زودتر از سیگنال SE تغییر وضعیت می‌دهد. زمانی که پالس‌ساعت یک است، مقداری که در لچ غالب ذخیره می‌شود باعث شارژشدن خازن‌های پارازیتی در نقطه A می‌گردد و وقتی که پالس‌ساعت صفر است، خازن‌های پارازیتی از طریق گیت وارونگر، بخش غالب سلول روبش بعدی را تحریک می‌کنند. وجود وارونگر سبب ایجاد امپدانس بالا برای خازن‌های پارازیتی می‌شود که این امر از دشارژ فوری آنها جلوگیری می‌کند. در طول حالت روبشی، به علت وجود گیت انتقالی کنترل‌شده با slave disable، لچ مغلوب غیر فعال می‌شود و به جای آن مسیری کم‌هزینه از طریق گیت انتقالی و وارونگر وجود دارد که دارای توان اتلافی کمتری نسبت به لچ مغلوب رایج است. همان طور که گفته شد از مزایای این مدل، استفاده از گیت انتقالی به منظور غیر فعال‌کردن لچ مغلوب است که سبب کاهش فرایند سوییچ‌زنی می‌شود و در نهایت باعث کاهش توان اتلافی می‌گردد و مزیت دیگر آن حفظ داده توسط لچ مغلوب در زمان گذر از حالت عادی به حالت روبشی است [۹].

شکل ۴ سلول روبشی دروازه‌دار کم‌توان را نشان می‌دهد. در این ساختار، از گیت انتقالی و وارونگر استفاده می‌شود. گیت انتقالی موجود میان لچ غالب و مغلوب، برای جداکردن خروجی Q و Qnot در حالت روبشی به کار می‌رود. در نتیجه، فرایند سوییچ‌زنی Qnot در طول حالت روبشی تأثیری در Q ندارد. ساختار فیدبک موجود در لچ مغلوب، سبب می‌شود که خروجی روبش Q مقدار قبلی را حفظ کند. در حالت عادی ($SE=۰$) سیگنال ورودی (DI) وارد لچ غالب می‌شود و در آن ذخیره می‌گردد. در این وضعیت، مدار موجود در فیدبک لچ مغلوب غیر فعال می‌شود. در حالت روبشی ($SE=۱$) سیگنال روبشی پس از ذخیره‌سازی در لچ غالب، وارد خروجی روبشی می‌شود. در این حالت، گیت انتقالی موجود در لچ مغلوب غیر فعال می‌شود و بنابراین از سوییچ‌زنی اضافه جلوگیری می‌گردد [۱۰] و [۱۱].



شکل ۴: سلول روبشی دروازه‌دار کم‌توان [۱۰].



شکل ۵: سلول روبشی مسیر بحرانی دروازه‌دار کم‌توان [۱۰].

سلول روبشی مسیر بحرانی دروازه‌دار کم‌توان در شکل ۵ نشان داده شده است. فرق این ساختار با ساختار سلول روبشی دروازه‌دار کم‌توان در شکل ۴، در عملکرد سلول روبشی در حالت عادی است. در این حالت ($SE=۰$)، داده ورودی پس از ذخیره‌سازی در لچ غالب، وارد لچ مغلوب می‌شود. در لچ مغلوب، بافر فیدبکی طراحی‌شده، غیر فعال است و داده پس از عبور از گیت انتقالی اول، وارونگر و گیت انتقالی دوم، از طریق فیدبک واحد به سمت خروجی می‌رود. در نتیجه مسیر بدون مقاومت و کوتاهی را تا خروجی طی می‌کند.

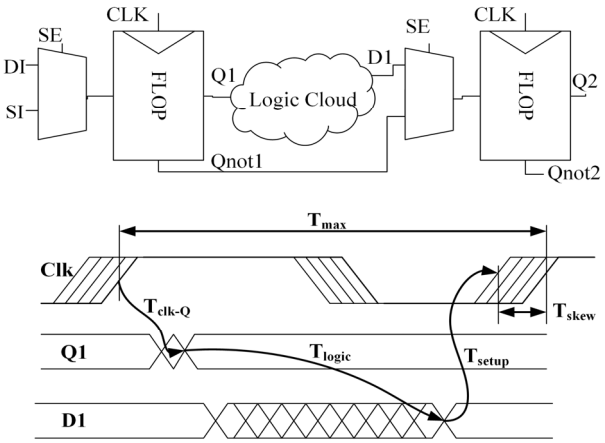
حال به شرح مختصری از مسیر بحرانی و بیشترین فرکانس کاری پالس‌ساعت در سلول‌های روبشی می‌پردازیم.

مسیر بحرانی در طراحی روبشی به صورت طولانی‌ترین مسیر بین دو المان روبشی تعریف می‌شود و بیشترین تأخیر این مسیر را تأخیر مسیر بحرانی می‌نامیم که معرف بیشترین فرکانس کاری پالس‌ساعت است. شکل ۶ چگونگی قرارگرفتن سیگنال‌های زمانی و نحوه محاسبه فرکانس پالس‌ساعت را نشان می‌دهد.

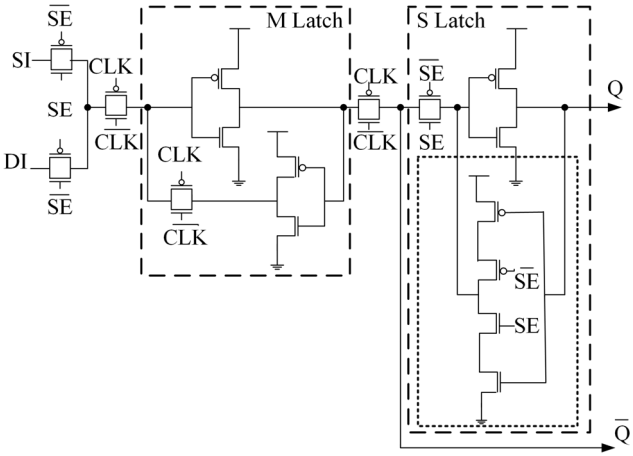
با توجه به شکل، بیشترین زمان تناوب لازم پالس‌ساعت که با $T_{\max}$ نشان داده می‌شود از مجموع چهار پارامتر زمانی T_{Clk-Q}، T_{logic}، T_{setup} و T_{skew} تشکیل شده که T_{Clk-Q} زمان رسیدن پالس‌ساعت تا مستقرشدن داده در خروجی سلول روبشی، T_{logic} تأخیر انتشار در مدار منطقی بین سلول‌های روبشی، T_{setup} حداقل زمان مورد نیاز برای استقرار داده قبل از رسیدن لبه پالس‌ساعت بعدی و T_{skew} تأخیر انتشار پالس‌ساعت از زمانی که سلول روبشی اول، آماده ارسال داده می‌شود تا زمانی که سلول روبشی بعدی داده را می‌پذیرد.

رابطه (۱) بیشترین فرکانس کاری پالس‌ساعت را نشان می‌دهد

$$f_{\max}=\frac{۱}{T_{Clk-Q}+T_{logic}+T_{setup}+T_{skew}} \qquad (۱)$$



شکل ۶: محاسبه بیشترین فرکانس پالس‌ساعت با استفاده از سیگنال‌های زمانی سلول روبشی.



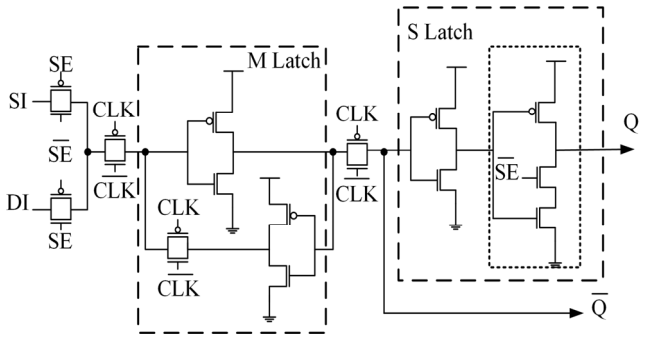
شکل ۷: سلول روبشی دروازه‌دار کم‌توان بهینه‌شده (ساختار پیشنهادی اول).

در این میان کاهش T_{Clk-Q} و T_{skew} تأثیر مستقیمی بر بیشترین فرکانس پالس‌ساعت دارند. ساختار مسیر بحرانی دروازه‌دار کم‌توان، مقدار T_{Clk-Q} کمتری را در حالت عادی تحویل می‌دهد و با توجه به (۱) حداکثر پالس‌ساعت بیشتری را معرفی می‌کند. افزایش سرعت در این روش به دو علت رخ می‌دهد: ۱) کاهش تأخیر انتشار که پیش از این توضیح داده شد و ۲) شارژ و دشارژ خروجی Q از طریق گیت انتقالی به طوری که خروجی Q با سرعت بالا به حالت پایدار خود برسد. در گیت انتقالی (در حالت غیر ایده‌ال) زمانی که ورودی مقدار یک منطقی باشد، خروجی گیت انتقالی مقدار $V_{dd}-V_{th}$ را دارد و هنگامی که ورودی صفر منطقی باشد، خروجی گیت انتقالی به مقدار V_{th} است. در صورتی که در سلول‌های روبشی که از بافر سه‌حالته برای انتقال داده استفاده می‌شود، سوییِنگ ولتاژ کامل است. کمترشدن ولتاژ سوییِنگ سبب افزایش سرعت در خروجی که به طبقه منطقی بعدی متصل است می‌شود [۱۰].

۳- ساختارهای پیشنهادی

۳-۱ ساختار اول

ساختار اول که بهبودیافته ساختار سلول روبشی دروازه‌دار کم‌توان است در شکل ۷ نشان داده شده است. تفاوت ساختار ارائه‌شده با سلول روبشی دروازه‌دار کم‌توان، در بخش کنترل فیدبک است که در شکل با نقطه‌چین نشان داده شده است. در این ساختار، زمانی که SE برابر صفر است، شارژ شدن گره‌های داخلی به خروجی لطمه وارد نمی‌کند. به عبارتی در این حالت، شبکه پایین‌کش کاملاً قطع می‌شود و جریان نشتی از آن عبور



شکل ۸: ساختار پیشنهادی دوم.

نمی‌کند. همین اتفاق زمانی که SE برابر یک است رخ می‌دهد. یعنی جریان نشتی شبکه بالاکش کم می‌شود و این امر از مختل‌شدن خروجی جلوگیری می‌کند. این ساختار سبب کاهش تأخیر انتشار سلول روبشی می‌شود. علت آن کم‌شدن نسبت خازن خروجی به خازن ورودی است که در روند محاسبه تلاش منطقی نیز مشهود است [۱۲].

۳-۲ ساختار دوم

ساختار پیشنهادی اصلی که در شکل ۸ نمایش داده شده است از دو لچ غالب و مغلوب تشکیل گردیده و ایده طراحی در بخش لچ مغلوب پیشنهاد شده است. در این بخش از یک ترانزیستور اضافی در شبکه NMOS وارونگر استفاده می‌شود. این ترانزیستور دارای پایه کنترلی SEnot است که باعث می‌شود جریان نشتی در شبکه پایین‌کش صفر شود و در نتیجه، توان استاتیکی مدار کاهش یابد.

٤- شبیه‌سازی

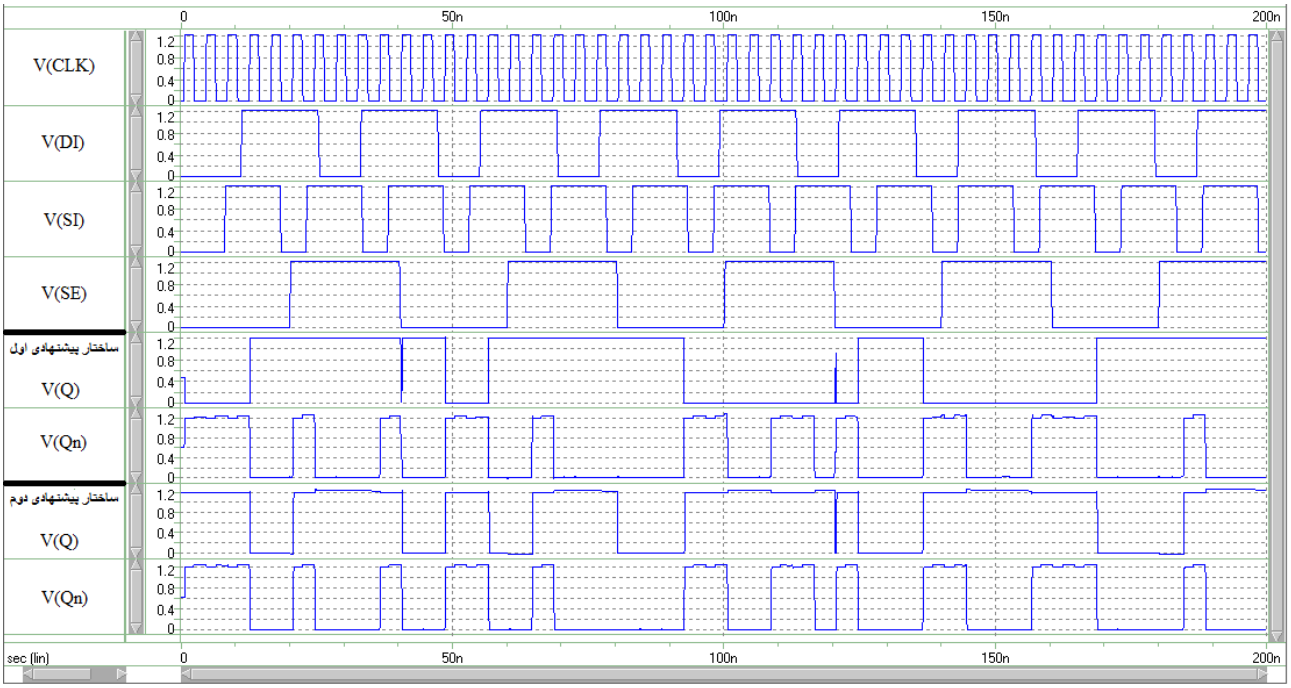
در این بخش مدارات طراحی‌شده و مدارهای پیشین توسط نرم‌افزار HSpice در تکنولوژی CMOS (PTM) ۲۲ nm در دمای ۲۵ درجه سلسیوس و با ولتاژ تغذیه ۱٫۲ ولت شبیه‌سازی شده است. طول کانال ترانزیستورها ۲۴ نانومتر و خروجی مدار با قابلیت راه‌اندازی چهار وارونگر مشابه (FO۴) در نظر گرفته شده است.

شکل ۹ تغییرات خروجی سلول‌های پیشنهادی را بر حسب تغییر ورودی‌ها و سیگنال‌های کنترلی نشان می‌دهد. سیگنال‌های نشان داده شده از بالا به پایین شامل سیگنال پالس‌ساعت، سیگنال داده ورودی (DI)، سیگنال ورودی سریالی (SI)، سیگنال کنترلی (SE) و خروجی‌های Q و Qnot در ساختارهای پیشنهادی آمده است. فرکانس پالس‌ساعت ۲۵۰ مگاهرتز در نظر گرفته شده است.

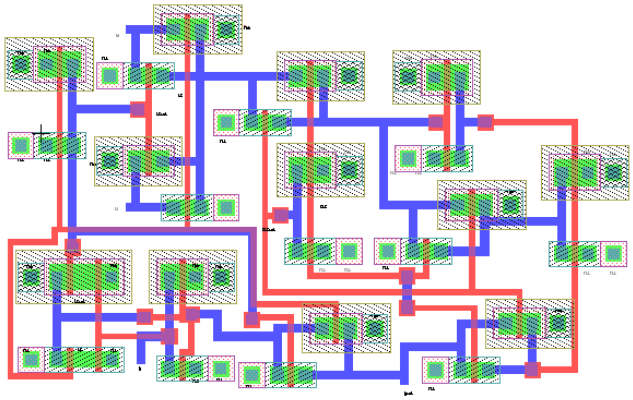
نتایج شبیه‌سازی در جدول ۱ ارائه شده است. چهار ستون اول این جدول به پارامترهای تأخیر زمانی اختصاص یافته و مابقی ستون‌ها شامل توان متوسط مصرفی، توان‌های استاتیکی مربوط به داده‌های ورودی و پارامتر حاصل‌ضرب توان در تأخیر می‌شود که در قسمت بعدی به مقایسه آنها می‌پردازیم. همچنین ستون آخر جدول به ابعاد سلول‌های روبشی اختصاص دارد که از این منظر، طراحی‌های پیشنهادی ابعاد کمی را اشغال می‌کنند. شکل ۱۰ و ۱۱ شبیه‌سازی لی‌اوت طراحی‌های پیشنهادی را نشان می‌دهد.

۵- مقایسه نتایج

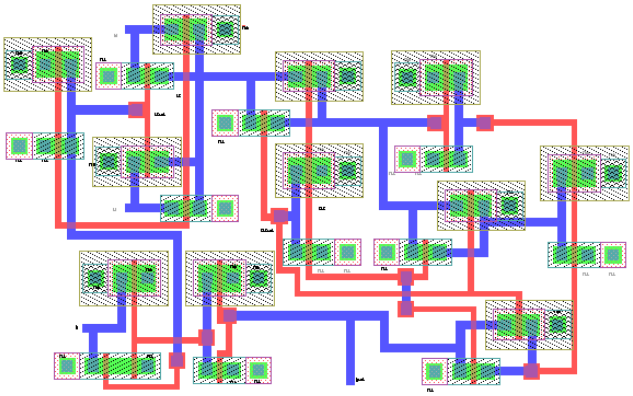
در این بخش به مقایسه تحلیلی پارامترهای عملکردی دو ساختار پیشنهادی با سلول‌های روبشی دیگری که در تحقیقات پیشین ارائه شده است می‌پردازیم.



شکل ۹: سیگنال‌های ورودی و خروجی ساختارهای پیشنهادی.



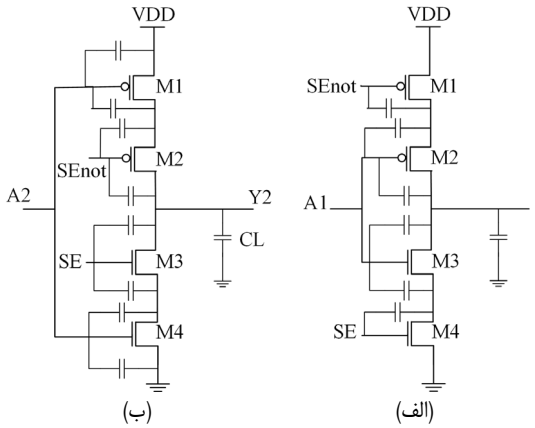
شکل ۱۰: طراحی لی‌اوت ساختار پیشنهادی اول.



شکل ۱۱: طراحی لی‌اوت ساختار پیشنهادی دوم.

جدول ۱: پارامترهای عملکردی سلول‌های روبشی.

سلول روبشی	تأخیر انتشار (نانوثانیه) (Q به CLK)	تأخیر انتشار (نانوثانیه) (Qn به DI)	تأخیر انتشار (نانوثانیه) (Q به DI)	تأخیر انتشار (نانوثانیه) (Qn به CLK)	میانگین توان مصرفی (نانووات)	حاصل‌ضرب توان در تأخیر انتشار (فمتوژول)	توان استاتیکی high SI (نانووات)	توان استاتیکی low SI (نانووات)	توان استاتیکی high DI (نانووات)	توان استاتیکی low DI (نانووات)	ابعاد (میکرومتر به توان دو)
قراردادی	۶۱٫۹۰	۹٫۱۶	۰٫۲۶	۶۱٫۹۰	۷۷۶٫۵۱	۴۸٫۸۴	NA	۷٫۱۱	۷٫۰۲	۱۳۲٫۰۵	۵٫۰۹
ANDB	۱۱۸٫۳۸	۳٫۶۵	۲۷٫۷۳	۸۴٫۱۵	۷۰۶٫۲۵	۸۲٫۹۰	۱۰٫۴۰	۹٫۸۴	۱۰٫۲۳	۳۱۶٫۲۲	۷٫۶۴
OR	۱۰۸٫۱۵	۳٫۶۵	۲۵٫۷۱	۸۴٫۱۵	۷۰۰٫۹۷	۷۴٫۷۴	۵۵٫۷۸	NA	۱۱۶٫۰۵	۹٫۸۵	۷٫۶۱
اصلاح‌شده	۱۷۲٫۰۹	۱٫۵۷	۸۹٫۵۹	۷۴٫۳۳	۷۱۹٫۸۹	۱۲۶٫۴۰	۸٫۹۵	۳۷۲٫۰۴	۳۲۷٫۱۸	۸٫۴۸	۷٫۳۳
دروازه‌دار کم‌توان	۱۵۶٫۱۵	۹٫۵۶	۶۲٫۲۰	۷۶٫۰۸	۳۷۳٫۴۳	۵۹٫۲۳	۵٫۳۳	۵٫۴۸	۵٫۰۷	۲۲۰٫۷۸	۵٫۲۲
مسیر بحرانی دروازه‌دار کم‌توان	۱۳۰٫۷۸	۹٫۵۴	۶۸٫۹۰	۷۶٫۰۴	۵۰۰٫۲۱	۶۶٫۹۴	۵٫۷۶	۶٫۱۰	۵٫۴۷	۲۳۱	۷٫۰۵
ساختار پیشنهادی اول	۱۱۸٫۴۳	۹٫۶۱	۴۳٫۵۵	۷۶٫۱۲	۴۰۱٫۶۲	۴۵٫۳۵	۵٫۹۱	۸۳٫۷۲	۵۸٫۲۹	۵٫۵۷	۵٫۲۱
ساختار پیشنهادی دوم	۱۰۴٫۱۲	۹٫۵۸	۲۱٫۶۲	۷۶٫۰۷	۴۲۰٫۹۷	۴۳٫۸۴	۵٫۱۵	۶٫۰۴	۵٫۰۴	۴٫۸۱	۵٫۲۰



(ب) (الف)

شکل ۱۲: (الف) بخش فیدبک سلول روبشی دروازه‌دار کم‌توان و (ب) بخش فیدبک سلول روبشی دروازه‌دار کم‌توان بهینه‌شده.

۵-۱ تأخیر انتشار

با توجه به نتایج شبیه‌سازی، تأخیر انتشار برای سلول پیشنهادی اول ۱۱۸ نانوثانیه و در مورد سلول روبشی دروازه‌دار کم‌توان ۱۵۶ نانوثانیه است. بنابراین ساختار ارائه‌شده باعث بهبود تأخیر انتشار شده است. علت این برتری با بررسی خازن‌های پارازیتی بخش مداری تغییریافته که به صورت نقطه‌چین در شکل ۷ مشخص شده انجام می‌شود.

در شکل ۱۲ مدار به کار رفته در بخش فیدبک لچ مغلوب سلول روبشی دروازه‌دار کم‌توان و مدار بهینه‌شده آن آورده شده است. این مدارها با تمامی خازن‌های پارازیتی خود آورده شده‌اند.

یکی از روش‌های محاسبه تأخیر انتشار در گیت‌های منطقی، به صورت حاصل‌ضرب تلاش منطقی در تلاش الکتریکی و افزودن تأخیر پارازیتی به آن است. محاسبه تلاش الکتریکی به صورت نسبت خازن خروجی به خازن ورودی انجام می‌شود. مقاله [۱۳] محاسبه خازن معادل پارازیتی را با در نظر گرفتن ضرایب احتمال ورودی‌ها ارائه می‌کند. برای به دست آوردن خازن‌های معادل ورودی و خروجی مطابق زیر رفتار می‌کنیم:

جدول درستی مربوط به بخش فیدبک لچ مغلوب دو سلول روبشی مورد بحث، مانند یکدیگر است و در جدول ۲ آورده شده است.

در بخش فیدبک لچ مغلوب سلول روبشی دروازه‌دار کم‌توان (شکل ۱۲- الف)، اگر ورودی‌ها به صورت ۱۰۰ و ۱۰۱ باشد ($SE=0$) و ترانزیستورهای M۱ و M۴ خاموش باشند، خازن معادل ورودی برای احتمال p_0 طبق (۲) محاسبه می‌شود

$$C_{eq1}=p_0\left(\frac{C_{gs3}C_{t1}}{C_{gs3}+C_{t1}}+\frac{C_{gd2}C_{t2}}{C_{gd2}+C_{t2}}\right)$$
$$C_{t1}=C_{gd4}+C_{db4}+C_{sb3} \qquad (۲)$$
$$C_{t2}=C_{gs2}+C_{db3}+C_{sb2}$$

در (۲) p_0 احتمال ۱۰بودن ورودی‌های SE و SEnot و p_1 احتمال ۰۱بودن ورودی‌های SE و SEnot است و C_{eq1} خازن معادل ورودی برای احتمال p_0 است.

اگر ورودی‌ها به صورت ۰۱۱ و ۰۱۰ باشد ($SE=1$) و ترانزیستورهای M۱ و M۴ در مدار شکل ۱۰- الف روشن باشند، برای خازن معادل ورودی در احتمال p_1 داریم

$$C_{eq2}=p_1(C_{gs3}+C_{gd3}) \qquad (۳)$$

آن گاه خازن معادل ورودی در حالت کلی برای شکل ۱۰- الف طبق (۴) به دست می‌آید

جدول ۲: جدول درستی بخش فیدبک لچ مغلوب دو سلول روبشی.

خروجی‌ها	ورودی‌ها		
Y	A	SE	SEnot
۱	۰	۰	۱
۰	۱	۰	۱
۱	۰	۱	۰
۰	۱	۱	۰

$$C_{A1}=C_{eq1}+C_{eq2}=p_0\left(\frac{C_{gs3}C_{t1}}{C_{gs3}+C_{t1}}+\frac{C_{gd2}C_{t2}}{C_{gd2}+C_{t2}}\right)+$$
$$p_1(C_{gs2}+C_{gd2}) \qquad (۴)$$
$$C_{A1gate}=C_{A1}+C_{gs2}+C_{gd2}$$

که در (۴)، C_{A1} خازن معادل ورودی $A1$ برای خازن‌های NMOS و C_{A1gate} خازن معادل ورودی $A1$ در حالت کلی با در نظر گرفتن خازن‌های PMOS است.

برای بخش فیدبک لچ مغلوب سلول روبشی بهینه‌شده (شکل ۱۲- ب) نیز مطابق [۱۳]، اگر ورودی‌ها به صورت ۱۰۰ و ۱۰۱ باشد ترانزیستورهای M۲ و M۳ خاموش هستند. بنابراین خازن معادل ورودی برای احتمال p_0 طبق (۵) محاسبه می‌شود

$$C'_{eq1}=p_0\left(C_{gs4}+\frac{C_{gd4}C_{t3}}{C_{gd4}+C_{t3}}\right)$$
$$C_{t3}=C_{gs3}+C_{db4}+C_{sb3} \qquad (۵)$$

اگر ورودی‌ها به صورت ۰۱۱ و ۰۱۰ باشد ترانزیستورهای M۲ و M۳ در شکل ۱۰- ب روشن می‌شوند. در این صورت خازن معادل ورودی برای احتمال p_1 با استفاده از (۶) به‌دست می‌آید.

$$C_{eq2}=p_1(C_{gs4}+C_{gd4}) \qquad (۶)$$

در نهایت خازن معادل شکل ۱۰- ب به صورت زیر محاسبه می‌شود

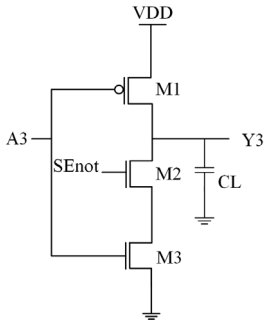
$$C_{A2}=C'_{eq1}+C'_{eq2}=p_0\left(C_{gs4}+\frac{C_{gd4}C_{t3}}{C_{gd4}+C_{t3}}\right)+$$
$$p_1(C_{gs4}+C_{gd4}) \qquad (۷)$$
$$C_{A2gate}=C_{A1}+C_{gs1}+C_{gd1}$$

برای خازن‌های خروجی مدارهای شکل ۱۰ داریم

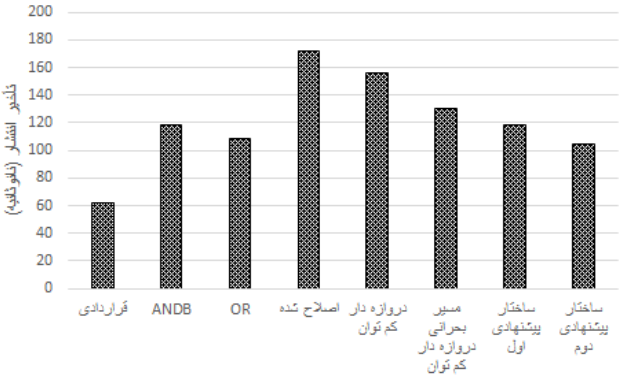
$$C_{out1}=C_{out2}=C_{gs2}+C_{gd3}+C_{db3}+C_{sb2} \qquad (۸)$$

در تحلیل رفتار مدارهای شکل ۱۲، با توجه به مقادیر به دست آمده مقدار خازن خروجی در این دو مدار C_{out1} و C_{out2} برابر است اما خازن معادل ورودی آنها C_{A1gate} و C_{A2gate} مقادیر متفاوتی دارند. در مدار شکل ۱۲- الف در هر لحظه فقط یکی از ترانزیستورهای M۱ و M۴ روشن هستند. بنابراین خازن‌های موجود در آنها در صورت خاموش‌بودن ترانزیستور، با خازن‌های M۲ و M۳ سری می‌شوند. سری‌شدن خازن‌ها سبب می‌شود که مقدار معادل آنها از هر یک از خازن‌ها نیز کوچک‌تر شود و در نتیجه، مقدار خازن معادل ورودی مدار شکل ۱۲- الف کمتر از خازن معادل ورودی مدار شکل ۱۲- ب خواهد شد. مسیر مدار شکل ۱۲- الف که خازن ورودی کوچک‌تری دارد دارای تلاش الکتریکی بیشتری است بنابراین این مدار تأخیر انتشار بیشتری دارد.

بخش تغییریافته در ساختار پیشنهادی دوم در شکل ۱۳ نشان داده شده است. در این شکل، پایه کنترلی تنها به SEnot متصل است و این امر



شکل ۱۳: بخش تغییریافته در ساختار پیشنهادی دوم.



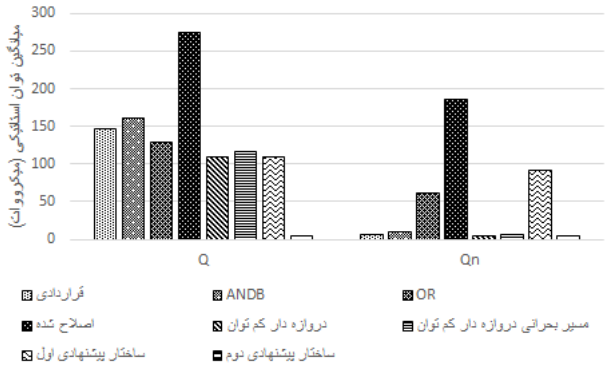
شکل ۱۴: نمودار مقایسه‌ای تأخیر انتشار.

جدول ۳: درصد بهبود تأخیر انتشار.

سلول روبشی	ساختار پیشنهادی اول (بر حسب درصد)	ساختار پیشنهادی دوم (بر حسب درصد)
قراردادی	-۹۱٫۳	-۰٫۶۸
ANDB	۰	۱۲
OR	۹٫۵	۳٫۷
اصلاح‌شده	۳۱٫۲	۳۹٫۵
دروازه‌دار کم‌توان	۲۴٫۱	۳۳٫۴
مسیر بحرانی دروازه‌دار کم‌توان	۹٫۵	۲۰٫۴

سبب می‌شود که فقط در حالت عادی، شبکه پایین‌کش روشن باشد. همچنین تمرکز عملکرد مدار بر روی شبکه NMOS است که نتیجه آن افزایش سرعت مدار و کاهش تأخیر انتشار آن است. علت کاهش تأخیر انتشار در این ساختار نسبت به ساختار پیشنهادی اول، مقاومت معادل خروجی کمتر آن نسبت به مدارهای شکل ۱۲ است که به علت استفاده از ترانزیستورهای کمتر نسبت به این مدارها رخ می‌دهد.

شکل ۱۴ نمودار مقایسه‌ای تأخیر انتشار را نشان می‌دهد. اگر بخواهیم میزان تأخیر انتشار را در سلول‌های روبشی بر حسب میزان بهبود مقایسه کنیم، طبق جدول ۳، تأخیر انتشار در ساختار پیشنهادی اول از ۹٪ تا ۳۱٪ بهبود دارد. در ساختار پیشنهادی اول، نسبت به سلول پویشی دروازه‌دار کم‌توان میزان تأخیر انتشار ۲۴٪ بهتر شده است که علت اصلی آن بزرگ‌تربودن خازن ورودی مدار بهبودیافته نسبت به سلول پویشی دروازه‌دار کم‌توان است. بیشترین درصد بهبود (۳۱٪) نسبت به سلول پویشی قراردادی اصلاح‌شده، محاسبه گردیده که علت آن است که به جای استفاده از سیگنال slave disable که به تریگرشدن به موقع پالس‌ساعت وابستگی دارد، از سیگنال SE استفاده شده که در مجموع باعث سرعت عملکرد بیشتر می‌شود. در طرح پیشنهادی دوم، کاهش تأخیر بیشتری داریم به طوری که درصد بهبود تأخیر انتشار در طرح



شکل ۱۵: نمودار مقایسه‌ای میانگین توان استاتیکی.

جدول ۴: درصد بهبود میانگین توان استاتیکی.

سلول روبشی	ساختار پیشنهادی اول (بر حسب درصد)	ساختار پیشنهادی دوم (بر حسب درصد)
قراردادی	۲۵٫۷	۹۶٫۵
ANDB	۳۲٫۵	۹۷
OR	۱۴٫۹	۹۶
اصلاح‌شده	۶۰٫۳	۹۸
دروازه‌دار کم‌توان	۰	۹۵
مسیر بحرانی دروازه‌دار کم‌توان	۶	۹۵

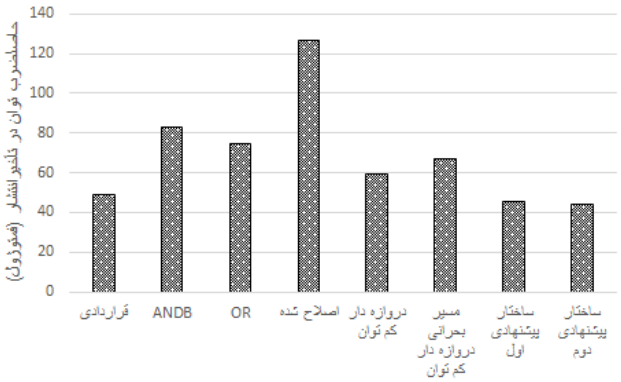
پیشنهادی دوم، از ۳٪ تا ۳۹٪ است. در این طراحی، استفاده از ساختاری ساده در لچ مغلوب که با یک سیگنال کنترل می‌شود و عدم استفاده از گیت انتقالی در لچ مغلوب، سبب شده که طرح پیشنهادی دوم بهبود تأخیر انتشار بهتری داشته باشد. در میان این ساختارها، طرح‌های پیشنهادی نسبت به سلول پویشی قراردادی بهبود نداشته‌اند که در جدول ۳ با ضرایب منفی مشخص شده‌اند. با توجه به شکل ۱ در سلول روبشی قراردادی، لچ غالب و مغلوب توسط پالس‌ساعت کنترل می‌شوند و خروجی Q را نتیجه می‌دهند. این دو لچ از یکدیگر مجزا نشده‌اند در صورتی که در سایر سلول‌های روبشی، لچ غالب و مغلوب توسط یک گیت از یکدیگر جدا می‌شوند. بنابراین کنترل‌شدن لچ غالب و مغلوب توسط پالس‌ساعت و مجزا نبودن لچ غالب و مغلوب، سبب می‌شود تا تأخیری که از پالس‌ساعت تا خروجی Q (تأخیر انتشار) محاسبه می‌شود کم باشد.

۵-۲ توان استاتیکی

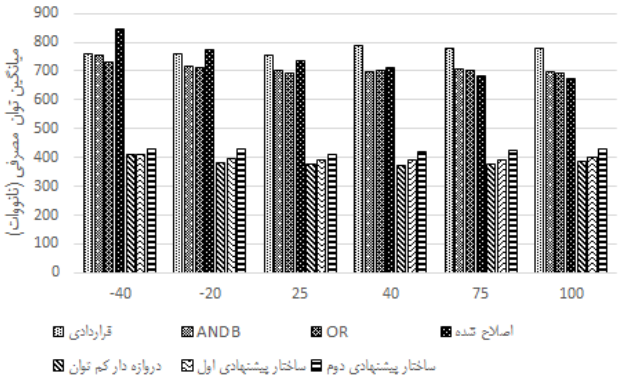
مدارات پیشنهادی مورد بحث در کاهش جریان نشتی مؤثر هستند و بنابراین با بررسی توان استاتیکی این میزان تأثیر را مشاهده می‌کنیم. با توجه به شکل ۱۵ و بر اساس جدول ۴، ساختار پیشنهادی اول از ۶٪ تا ۶۰٪ و ساختار پیشنهادی دوم از ۹۵٪ تا ۹۸٪ توان استاتیکی را نسبت به ساختارهای پیشین بهبود می‌بخشد. بیشترین درصد بهبود نسبت به سلول پویشی قراردادی اصلاح‌شده است. چون در سلول پویشی قراردادی اصلاح‌شده هیچ کنترلی برای کاهش جریان نشتی وجود ندارد، در حالی که در ساختارهای پیشنهادی، وجود ترانزیستورهای کنترلی است که سبب قطع کامل جریان در شبکه بالاکش و پایین‌کش می‌شود. در نتیجه جریان نشتی را کاهش می‌دهد که این اثر در توان استاتیکی نمایان می‌شود و مقادیر آن در جدول ۴ آمده است.

۵-۳ حاصل‌ضرب توان در تأخیر انتشار

از آنجایی که بهبود توان متوسط و تأخیر، در مدارات معمولاً در دو جهت مخالف است لذا عملکرد بهینه مدار را می‌توان از مصالحه این دو



شکل ۱۶: نمودار مقایسه‌ای حاصل‌ضرب توان در تأخیر انتشار.



شکل ۱۷: بررسی تغییرات دما در میانگین توان مصرفی.

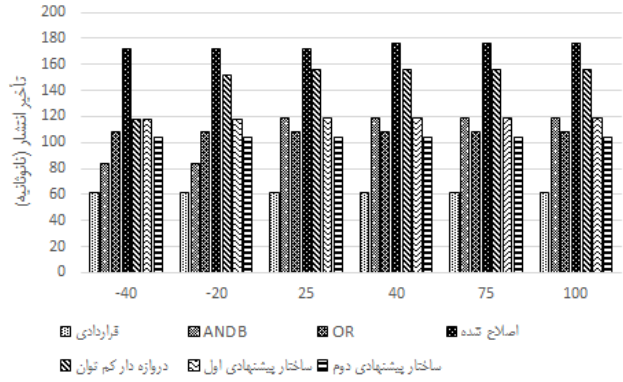
جدول ۵: درصد بهبود حاصل‌ضرب توان در تأخیر انتشار.

سلول روبشی	ساختار پیشنهادی اول (بر حسب درصد)	ساختار پیشنهادی دوم (بر حسب درصد)
قراردادی	۷٫۱	۱۰٫۲
ANDB	۴۵٫۳	۴۷٫۱
OR	۳۹٫۳	۴۱٫۳
اصلاح‌شده	۶۴٫۱	۶۵٫۳
دروازه‌دار کم‌توان	۲۳٫۴	۲۶
مسیر بحرانی دروازه‌دار کم‌توان	۳۲٫۲	۳۴٫۵

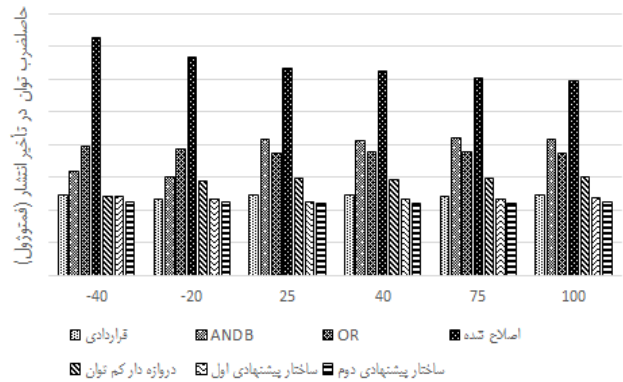
پارامتر سنجید. نمودار مقایسه‌ای حاصل‌ضرب توان در تأخیر انتشار در شکل ۱۶ آمده است. با دقت در این نمودار و با توجه به جدول ۵ مشاهده می‌شود که برای ساختارهای پیشنهادی نسبت به طرح‌های پیشین حاصل‌ضرب توان در تأخیر انتشار در ساختار پیشنهادی اول از ۷٪ تا ۶۴٪ و در ساختار پیشنهادی دوم از ۱۰٪ تا ۶۵٪ بهبود یافته است. بیشترین درصد بهبود نسبت به سلول پویشی قراردادی اصلاح‌شده است. لازم به ذکر است که تأخیر clk to Q همان تأخیر انتشار و توان از نوع توان متوسط است که در محاسبه PDP لحاظ شد. در واقع، یک بالانس بین تأخیر و میانگین توان اتلافی وجود دارد که در نهایت موجب می‌شود به PDP مطلوب برسیم.

۵-۴ تأثیر تغییرات دما در پارامترهای عملکردی

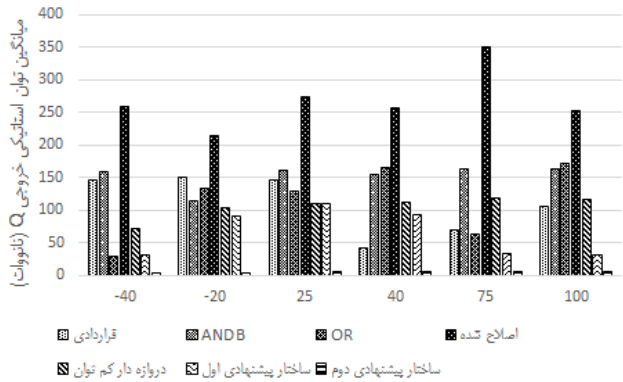
در این بخش به منظور بررسی تأثیر دما در عملکرد سلول‌های روبشی در بازه ۴۰- تا ۱۰۰ درجه سلسیوس، میانگین توان مصرفی، تأخیر انتشار، حاصل‌ضرب توان در تأخیر انتشار و توان استاتیکی را شبیه‌سازی می‌کنیم. شکل‌های ۱۷ تا ۲۰ نمودارهای مقایسه‌ای هر یک را نشان می‌دهد. با توجه به نمودارها، ساختارهای پیشنهادی در دماهای مختلف عملکرد



شکل ۱۸: بررسی تغییرات دما در تأخیر انتشار.



شکل ۱۹: بررسی تغییرات دما در حاصل‌ضرب توان در تأخیر انتشار.



شکل ۲۰: بررسی تغییرات دما در میانگین توان استاتیکی خروجی Q.

مشابهی دارند. بنابراین اثرات دما سبب پایین‌آمدن عملکرد آنها و افزایش توان اتلافی نمی‌شود.

۶- نتیجه‌گیری

در این مقاله به بررسی سلول‌های روبشی پرداختیم و دو سلول روبشی جدید معرفی کردیم و آنها را با مدل‌هایی که تاکنون مطرح شده بودند، مقایسه و دلایل برتری هر کدام را نسبت به سایر مدل‌ها بیان نمودیم. تمرکز ما در این مقاله بر روی بهبود تأخیر انتشار، توان استاتیکی و PDP بود و در این راستا با کمک نرم‌افزار، از نمودارهای مقایسه‌ای و جداول بهره بردیم.

مشاهده شد که تأخیر انتشار در دو ساختار پیشنهادی از ۹٪ تا ۳۹٪ کاهش یافته که در ساختار اول، علت آن کم‌شدن خازن‌های پارازیتی به سبب طراحی در قسمت ترانزیستورهای کنترلی است و در ساختار دوم، استفاده از ترانزیستور کنترل‌شونده با سیگنال در شبکه پایین‌کش، سبب عملکرد بهتر لچ مغلوب شد. در توان استاتیکی، داشتن کنترل بر روی

ترانزیستورهای لچ مغلوب موجب استفاده بهینه از آنها شده و در نتیجه میزان توان استاتیکی در دو طرح پیشنهادی از ۶٪ تا ۹۸٪ کاهش یافته است. حاصل‌ضرب توان در تأخیر از ۷٪ تا ۶۵٪ بهبود یافت. بهبود چشم‌گیر در توان استاتیکی دو مدار، باعث بهبود پارامتر حاصل‌ضرب توان در تأخیر شده است.

مراجع

[1] N. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th Ed., Pearson Education, 2010.

[2] S. Ahlawat and J. T. Tudu, "On minimization of test power through modified scan flip-flop," in *Proc. 20th Int. Symp. on VLSI Design and Test, VDAT'16*, 6 pp., Guwahati, India, 24-27 May 2016.

[3] M. Naeini, S. Dass, and C. Ooi, "The design and implementation of a low-power gating scan element in 32/28 nm CMOS technology," *J. of Low Power Electronics and Applications*, vol. 7, no. 2, Article 7, Apr. 2017.

[4] Y. T. Lin, J. L. Huang, and X. Wen, "A transition isolation scan cell design for low shift and capture power," ," in *Proc.21th IEEE Asian Test Symp.*, pp. 107-112, Niigata, Japan, 19-22 Nov. 2012.

[5] J. C. Rau, C. L. Wu, and P. H. Wu, "An efficient algoritm to selectively gate scan cells for capture power reduction," *Tamkang J. Sci. Eng.*, vol. 14, no. 1, pp. 39-48, 2011.

[6] J. Li, Q. Xu, Y. Hu, and X. Li, "X-filling for simultaneous shift- and-capture power reduction in at-speed scan-based testing," *IEEE Trans. Very Large Scale. Integr. (VLSI) Syst.*, vol. 18, no. 7, pp. 1081-1092, Jul. 2010.

[7] S. Ahlawat, J. Tudu, A. Matrosova, and V. Singh, "A high performance scan flip-flop design for serial and mixed mode scan test," in *Proc. 22nd IEEE Int. Symp. on Online Testing and Robust System Design, IOLTS'16*, pp. 233-238, Sant Feliu de Guixols, Spain, 4-6 Jul. 2016.

[8] X. Lin and Y. Huang, "Scan shift power reduction by freezing power sensitive scan cells," *J. of Electronic Tesing*, vol. 24, no. 4, pp. 327-334, Aug. 2008.

[9] A. Mishra, *et al*., "Modified scan flip-flop for low power testing," in *Proc. 19th IEEE Asian Test Symp.*, pp. 367-370, Shanghai, China, 1-4 Dec. 2010.

[10] M. M. Naeini, S. B. Dass, C. Y. Ooi, T. Yoneda, and M. Inoue, "An integrated DFT solution for power reduction in scan test applications by low power gating scan cell," *Integration, the VLSI Journal,* vol. 57, Issue. C, pp. 108-124, Mar. 2017.

[11] M. Mojtabavi Naeini and C. Y. Ooi, "A novel scan architecture for low power scan-based testing," *VLSI Design*, Article ID 264071, 13 pp., 2015.

[12] J. M. Rabaey, A. P. Chandrakasan, and B. Nikolic, *Digital Integerated Circuits: A Design Perspective*, Pearson Education, 2003.

[13] S. Ghissoni, J. B. dos Santos Martins, R. A. da Luz Reis, and J. C. Monteiro, "Analysis of power consumption using a new methodology for the capacitance modeling of complex logic gates," in *Proc. 19th International Workshop on Integrated Circuit and System Design, Power and Timing Modeling, Optimization and Simulation*, pp. 297-306, Grenoble, France, 7-10 Sept. 2010.

پگاه زکیان تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی برق گرایش الکترونیک به‌ترتیب در سال‌های ۱۳۹۴ و ۱۳۹۷ در دانشگاه گیلان به پایان رسانیده است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدار مجتمع دیجیتال، طراحی مدارهای توان پایین، محاسبات نرم، پردازش تصویر.

راهبه نیارکی اصلی تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی الکترونیک به‌ترتیب در سال‌های ۱۳۷۴ و ۱۳۷۸ از دانشگاه گیلان و در مقطع دکترای مهندسی برق سال ۱۳۸۶ از دانشگاه علم وصنعت ایران به پایان رسانده است. ایشان از سال ۱۳۸۶ تا کنون عضو هیأت علمی دانشگاه گیلان، گروه مهندسی برق می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدارات دیجیتال آزمون پذیر و با قابلیت اطمینان بالا، طراحی حافظه‌های با کارایی بالا در فناوری‌های جدید و مقاوم در برابر خطای نرم و پیرشدگی و نیز پیاده‌سازی الگوریتم‌های بینایی ماشین روی FPGA.