بهبود سرعت، مساحت و توان مصرفی جمع‌کننده‌های مبتنی بر انتخاب رقم نقلی با استفاده از گروه‌بندی جدید

عباس محمدنژاد و مجتبی ولی‌نتاج

چکیده: طراحی مسیر داده با مساحت و توان مصرفی کم و سرعت بالا برای سیستم‌های محاسباتی امروزی اهمیت بالایی دارد. جمع‌کننده‌ها یکی از اجزای اساسی مسیر داده سیستم‌های محاسباتی هستند که از میان آنها، جمع‌کننده مبتنی بر انتخاب رقم نقلی با داشتن سرعت مناسب، سربار مساحتی نیز به سیستم محاسباتی تحمیل می‌کند. یک عامل مؤثر بر سرعت این نوع جمع‌کننده نحوه گروه‌بندی آن با توجه به تأخیر اجزای آن است. در این مقاله، ابتدا با بهره‌گیری از یک مالتی‌پلکسر سریع و کوچک، تأخیر و مساحت مصرفی انواع معماری‌های موجود برای این نوع جمع‌کننده کاهش داده می‌شود. سپس با توجه به تجزیه و تحلیل تأخیر این جمع‌کننده و وابستگی آن به نوع مالتی‌پلکسر، یک گروه‌بندی جدید برای بهینه‌سازی تأخیر ارائه می‌گردد. نتایج پیاده‌سازی و آزمایش‌ها نشان می‌دهد اعمال گروه‌بندی و تغییرات پیشنهادی در انواع معماری‌های موجود برای جمع‌کننده مبتنی بر انتخاب رقم نقلی، منجر به کاهش مناسب تأخیر عملیات جمع نسبت به بهترین گروه‌بندی موجود می‌شود. به عنوان نمونه، مقدار کاهش تأخیر جمع‌کننده ۳۲بیتی در معماری‌های بررسی‌شده بیش از ۳۳ درصد است. علاوه بر این، میانگین کاهش در معیار حاصل‌ضرب توان مصرفی در تأخیر برای جمع‌کننده‌های مختلف ۳۲ و ٦٤بیتی استفاده‌کننده از گروه‌بندی پیشنهادی نسبت به بهترین گروه‌بندی موجود، به ترتیب برابر با ٤٥ و ۳۵ درصد بوده است.

کلیدواژه: **جمع‌کننده مبتنی بر انتخاب رقم نقلی، گروه‌بندی‌های پایه، تأخیر جمع‌کننده، توان مصرفی.**

۱- مقدمه

انواع عملیات محاسباتی در بسیاری از سیستم‌های VLSI مورد استفاده قرار می‌گیرند. با توجه به این که عملیات جمع یک عملیات پایه محاسباتی محسوب می‌شود، طراحی یک جمع‌کننده با سرعت بالاتر برای این سیستم‌ها مسأله‌ای بسیار مهم محسوب می‌گردد. در سالیان گذشته طرح‌های مختلفی برای جمع‌کننده‌ها ارائه شده که هر کدام از آنها دارای تأخیر و مساحت مصرفی متفاوتی هستند. در بسیاری از جمع‌کننده‌های موجود، سرعت عملیات جمع توسط زمان لازم برای انتشار رقم نقلی محدود می‌گردد. خروجی در هر مکان بیتی زمانی تولید می‌گردد که جمع در مکان بیتی قبلی انجام شده باشد و رقم نقلی به مکان بیتی بعدی منتقل گردد [۱].

ساده‌ترین نوع جمع‌کننده RCA[1] نام دارد که به علت طراحی ساده، تأخیر انتشار رقم نقلی (CPD)[2] در آن زیاد است. به همین دلیل، جمع‌کننده‌های دیگری مانند CLA[3] و جمع‌کننده مبتنی بر انتخاب رقم نقلی (CSeA)[4] برای کاهش CPD پیشنهاد شده‌اند که با استفاده از گیت‌های بیشتر و در نتیجه، مساحت روی تراشه و توان مصرفی بالاتر به سرعت بیشتری رسیده‌اند.

جمع‌کننده از نوع CSeA یکی از جمع‌کننده‌های سریع است [۲] که در پردازنده‌ها یا سیستم‌های محاسباتی برای دست‌یابی به عملیات محاسباتی سریع و حل مشکل انتشار رقم نقلی مورد استفاده قرار گرفته است. اما CSeA به دلیل استفاده از دو سری RCA و یک مالتی‌پلکسر در هر گروه، اگرچه به مساحت کمتری نسبت به CLA احتیاج دارد، اما مساحت مورد نیاز آن بیش از دو برابر مساحت مورد نیاز RCA است. در هر گروه از CSeA دو RCA به طور هم‌زمان و همچنین، هم‌زمان و موازی با RCAهای گروه‌های دیگر وظیفه تولید بیت‌های جمع خروجی و رقم نقلی خروجی را به ازای رقم‌های نقلی ورودی صفر و یک ($Cin=۰$ و $Cin=۱$) بر عهده دارند. سپس مالتی‌پلکسر از بین خروجی‌های تولیدشده با توجه به رقم نقلی واقعی که از مرحله قبل می‌آید، خروجی درست را انتخاب می‌کند [۳]. همچنین این نوع جمع‌کننده در مدارهای محاسباتی با قابلیت تشخیص خطا مانند [۴] مورد استفاده قرار گرفته و سعی شده که مساحت آن کاهش داده شود.

علاوه بر انجام جمع‌های موازی در CSeA که باعث افزایش سرعت آن شده است عامل دیگری نیز باعث گردیده تا جمع‌کننده مبتنی بر انتخاب رقم نقلی یکی از سریع‌ترین جمع‌کننده‌ها باشد و آن گروه‌بندی مورد استفاده برای این جمع‌کننده است. دو نوع گروه‌بندی اصلی برای این نوع جمع‌کننده وجود دارد. گروه‌بندی با گروه‌های با اندازه یکسان و گروه‌بندی با گروه‌های با اندازه متفاوت. برای هر جمع‌کننده با اندازه خاص، اگر از گروه‌های با اندازه یکسان استفاده شود، یک یا حداکثر دو اندازه گروه وجود دارد که منجر به کمترین تأخیر در این نوع گروه‌بندی می‌شود. اما اگر از گروه‌های با اندازه متفاوت استفاده شود، گروه‌بندی مرسوم گروه‌بندی SQRT[5] [۵] است که در آن اندازه گروه‌ها از بیت کم‌ارزش‌تر به سمت بیت پرارزش‌تر به صورت افزایشی تغییر می‌کند. این نوع گروه‌بندی منجر به دست‌یابی به تأخیری کمتر نسبت به گروه‌بندی با گروه‌های با اندازه یکسان می‌شود، اگرچه ممکن است منجر به مساحت و توان مصرفی کمتری نگردد. در شکل ۱، یک CSeA ۱۶بیتی از نوع SQRT نشان داده شده که در آن اندازه گروه‌های دوگانه از دو بیت شروع شده و به ۵ بیت ختم گردیده است.

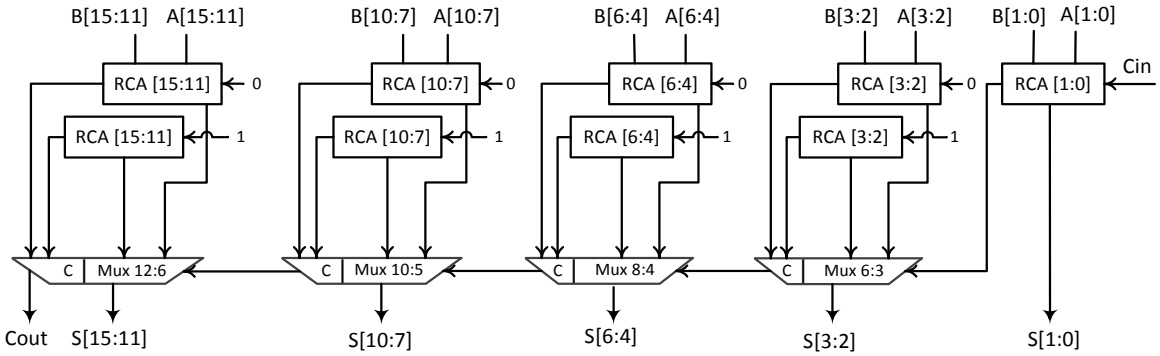
با توجه به این که تأخیر CSeA وابسته به تأخیر مالتی‌پلکسرهای آن و

این مقاله در تاریخ ۴ اردیبهشت ماه ۱۳۹۷ دریافت و در تاریخ ۱۵ آبان ماه ۱۳۹۷ بازنگری شد.

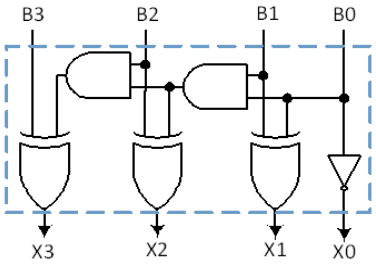
عباس محمدنژاد، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: abbas_mohammadnezhad@yahoo.com).

مجتبی ولی‌نتاج (نویسنده مسئول)، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی نوشیروانی بابل، بابل، ایران، (email: m.valinataj@nit.ac.ir).

1. Ripple Carry Adder
2. Carry Propagation Delay
3. Carry Look-ahead Adder
4. Carry Select Adder
5. Square Root



شکل ۱: جمع‌کننده ۱۶بیتی مبتنی بر انتخاب رقم نقلی با اندازه گروه‌های متفاوت.



شکل ۲: مدار درونی بلوک BEC ۴بیتی [۹].

همچنین تأخیر رقم نقلی خروجی از هر گروه است، در این مقاله سعی می‌شود با استفاده از مالتی‌پلکسری کوچک‌تر و سریع‌تر، در گام اول تأخیر و در ادامه، مساحت و توان مصرفی این نوع جمع‌کننده بهبود یابد. سپس با توجه به وابسته‌بودن گروه‌بندی با اندازه گروه‌های متفاوت به تأخیر مالتی‌پلکسر، یک گروه‌بندی جدید که منجر به تأخیر و توان مصرفی کمتری نسبت به گروه‌بندی SQRT می‌شود ارائه می‌گردد.

در ادامه این مقاله در بخش ۲ طرح‌های اصلی موجود برای جمع‌کننده مبتنی بر انتخاب رقم نقلی بررسی می‌شوند. در بخش ۳ گروه‌بندی پیشنهادی جدید و استفاده از مالتی‌پلکسر سریع و کوچک برای کاهش مساحت، توان مصرفی و تأخیر بهترین طرح‌های موجود ارائه می‌شود. در بخش ۴ نتایج ارزیابی روش پیشنهادی در اعمال آن به طرح پایه و بهترین طرح‌های موجود در مقایسه با روش‌های قبلی ارائه شده و در خاتمه، در بخش ۵ نتیجه‌گیری مقاله بیان می‌گردد.

۲- پژوهش‌های پیشین

با توجه به مساحت مورد نیاز بالای CSeA علی‌رغم سرعت مناسب آن، تاکنون روش‌های متعددی برای بهبود این جمع‌کننده از نظر مساحت و توان مصرفی علاوه بر تأخیر آن ارائه شده است. در [۶] و [۷] با توجه به این که گروه‌بندی SQRT منجر به کمترین تأخیر شده است، روش‌هایی در سطح ترانزیستور برای کاهش مساحت مصرفی جمع‌کننده ۶۴بیتی مبتنی بر SQRT ارائه گردیده است. در [۸] نوعی CSeA بدون مالتی‌پلکسر ارائه شده که در آن با جایگزینی یک بلوک ترکیبی به جای مالتی‌پلکسر و RCA با رقم نقلی ورودی برابر با یک ($Cin=1$) در هر گروه، مساحت و توان مصرفی کاهش چشم‌گیری داشته اما تأخیر آن نسبت به طرح پایه افزایش زیادی پیدا کرده است.

در [۹] به جای یکی از دو RCA در هر گروه که عملیات جمع را با فرض یک‌بودن رقم نقلی ورودی انجام می‌دهد، از بلوکی با عنوان BEC[1] استفاده شده است. شکل ۲ بلوک BEC متناظر با ۴ بیت را نشان می‌دهد.

بلوک BEC از خروجی RCA با $Cin=0$ برای تولید خروجی‌های متناظر با RCA با $Cin=1$ استفاده می‌کند. بنابراین این روش با سربار اندکی در تأخیر مدار، منجر به کاهش مناسبی در مساحت و توان مصرفی شده است.

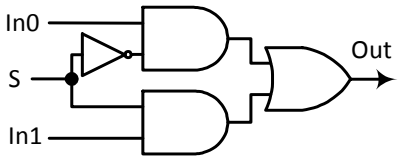
در [۱۰] از بلوکی با نام CBL[2] برای تولید خروجی‌های متناظر با RCA با $Cin=1$ استفاده شده است. این طرح با اعمال بر روی CSeA حاوی گروه‌های یکسان، باعث کاهش مناسبی در مساحت و توان مصرفی در مقایسه با CSeA پایه شده است اما تأخیر آن حداقل دو برابر افزایش یافته و تقریباً با تأخیر RCA که جمع‌کننده‌ای با تأخیر زیاد محسوب می‌شود، برابر شده است. این طرح در [۱۱] برای بهبود تأخیر، با گروه‌بندی SQRT مورد بررسی قرار گرفته است اما علی‌رغم بهبود نسبت به [۱۰]، تأخیر نهایی آن نسبت به طرح مبتنی بر BEC [۹] بیشتر است. در [۱۲] به جای یکی از RCAهای nبیتی در هر گروه، از n عدد D-Latch استفاده شده تا مساحت و توان مصرفی کاهش یابد. در این روش، رقم نقلی واردشونده به RCA و ورودی فعال‌کننده (EN)[3] برای D-latchها همواره با هم برابر هستند. وقتی $Cin=1$ باشد، RCA جمع را با رقم نقلی ورودی ۱ انجام می‌دهد و خروجی در D-latch ذخیره می‌گردد. سپس $Cin=0$ شده و RCA جمع را با رقم نقلی ورودی ۰ انجام می‌دهد. پس از آن مالتی‌پلکسر از بین خروجی D-latch و خروجی RCA با توجه به مقدار واقعی Cin ورودی، خروجی درست را انتخاب می‌کند. این روش به علت دو بار استفاده از تنها RCA موجود در هر گروه، دارای سرعت پایینی است.

نویسندگان در [۱۳] از طریق بازنگری در ساختار CSeA و استفاده از فرمول‌های منطقی جدید توانستند به ساختار جدیدی دست پیدا کنند که از نظر تأخیر همانند طرح پایه بوده در حالی که از نظر مساحت و توان مصرفی نسبت به طرح پایه و همچنین طرح مبتنی بر BEC [۹] از شرایط بهتری برخوردار است. در طرح ارائه‌شده در [۱۳]، قسمت‌های مشترک بین دو RCA حذف گردیده تا از این طریق مساحت مورد نیاز کاهش یابد. علاوه بر این، ابتدا رقم‌های نقلی میانی به ازای $Cin=0$ و $Cin=1$ تولید می‌گردند و سپس از بین این دو گروه رقم نقلی، با توجه به رقم نقلی واقعی ورودی، عملیات انتخاب صورت می‌گیرد. پس از آن، بیت‌های خروجی جمع با توجه به رقم نقلی انتخاب‌شده تولید می‌گردند. در نتیجه، تأخیر تولید رقم نقلی خروجی کاهش می‌یابد و همچنین عملیات انتخاب $n+1$بیتی در هر گروه به عملیات انتخاب nبیتی تبدیل می‌شود که به مساحت و توان مصرفی کمتری در مالتی‌پلکسرها احتیاج دارد.

1. Binary to Excess-1 Converter

2. Common Boolean Logic

3. Enable



شکل ۳: مدار سطح گیت مالتی‌پلکسر ۲ به ۱ پایه.

در [۱۴] با بررسی مجدد طرح ارائه‌شده در [۱۳] و با حفظ سرعت مدار، مساحت و توان مصرفی CSeA کاهش داده شده است. از بین طرح‌های بررسی‌شده در این بخش، CSeAهای مبتنی بر BEC [۹]، فرمول‌های منطقی جدید [۱۳] و طرح بهینه‌شده در [۱۴] بهترین طرح‌های موجود هستند. روش پیشنهادی در این مقاله بر روی CSeA پایه و طرح‌های ارائه‌شده در [۹] و [۱۳] اعمال می‌شود و مقایسه‌ای نیز با طرح ارائه‌شده در [۱۴] انجام می‌گردد.

۳- گروه‌بندی پیشنهادی

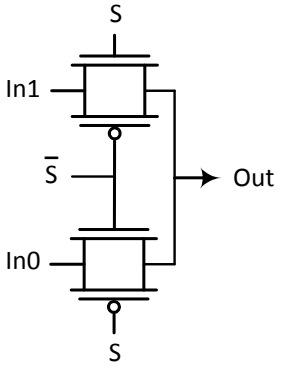
همان طور که گفته شد یکی از عوامل مهم در کاهش تأخیر جمع‌کننده‌های مبتنی بر انتخاب رقم نقلی، نحوه گروه‌بندی به کار رفته در آنها است. در این بخش ابتدا گروه‌بندی‌های موجود بررسی می‌شود و سپس با استفاده از مالتی‌پلکسر سریع و کوچک هم تأخیر و هم مساحت این نوع جمع‌کننده در تمام گروه‌بندی‌ها بهبود می‌یابد. پس از آن، گروه‌بندی بهینه پیشنهادی با توجه به مالتی‌پلکسر استفاده‌شده ارائه می‌گردد.

۳-۱ گروه‌بندی‌های موجود

همان طور که قبلاً بیان شد ۲ نوع گروه‌بندی اصلی برای این نوع جمع‌کننده وجود دارد که عبارتند از گروه‌بندی با گروه‌های با اندازه یکسان و گروه‌بندی با گروه‌های با اندازه متفاوت. در گروه‌بندی با گروه‌های با اندازه یکسان، تأخیر جمع‌کننده برابر است با تأخیر RCA در اولین گروه به اضافه مجموع تأخیرهای مالتی‌پلکسرهای گروه‌های بعدی که خروجی رقم نقلی هر گروه را تعیین می‌کنند. بهترین اندازه گروه در گروه‌های با اندازه یکسان عددی است که جذر اندازه جمع‌کننده باشد. به عنوان نمونه، بهترین اندازه گروه برای جمع‌کننده‌های ۱۶ و ۶۴بیتی به ترتیب ۴ و ۸ بیت است.

ساختار CSeA ۱۶بیتی که حاوی گروه‌های با اندازه یکسان ۴بیتی است، بدین صورت است که در ابتدا یک RCA ۴بیتی منفرد برای ۴ بیت کم‌ارزش‌تر قرار می‌گیرد. اما در ادامه، ۳ گروه وجود دارد که هر گروه حاوی دو RCA ۴بیتی و مالتی‌پلکسرهای ۲ به ۱ ۵بیتی (معادل با ۵ مالتی‌پلکسر ۲ به ۱) است. مالتی‌پلکسر ۲ به ۱ پنجم در هر گروه برای انتخاب رقم نقلی خارج‌شونده از گروه به کار می‌رود. ساختار توضیح داده شده برای جمع‌کننده ۱۶بیتی قابل توسعه برای بقیه اندازه‌های جمع‌کننده و اندازه‌های گروه‌ها است.

در گروه‌بندی با گروه‌های با اندازه متفاوت (روش SQRT) اندازه گروه‌ها به صورت افزایشی تغییر می‌کند تا در نهایت با m برابرشدن اندازه یک جمع‌کننده، تأخیر آن با ضریبی برابر با $\sqrt{m}$ افزایش یابد. به بیان دیگر، علت افزایش تدریجی اندازه گروه‌ها به این خاطر است که تأخیر هر گروه، مستقل از گروه‌های دیگر برابر است با تأخیر RCA به اضافه تأخیر مالتی‌پلکسر. بنابراین از آنجایی که در هر گروه تأخیر مالتی‌پلکسر به تأخیر جمع‌کننده اضافه می‌شود، اندازه گروه بعدی می‌بایست به گونه‌ای باشد که تأخیر آن برابر با مجموع تأخیر RCA و مالتی‌پلکسر در گروه قبلی شود. از



شکل ۴: مالتی‌پلکسر ۲ به ۱ با استفاده از گیت انتقال [۱۵].

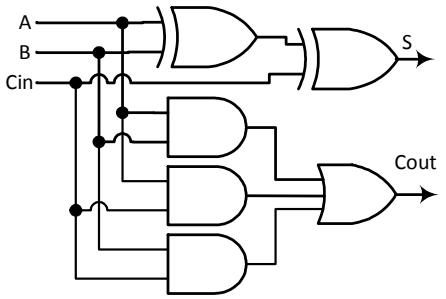
این رو اندازه گروه‌ها باید به صورت افزایشی تغییر کند تا در نهایت منجر به تأخیری کمتر نسبت به جمع‌کننده با گروه‌های با اندازه یکسان شود.

در CSeA پایه با گروه‌بندی SQRT، خروجی نهایی هر گروه توسط یک مالتی‌پلکسر ۲ به ۱ که اندازه بیتی آن یک واحد از اندازه گروه بزرگ‌تر است انتخاب می‌شود (n بیت برای خروجی Sum و یک بیت برای رقم نقلی خروجی در یک گروه n بیتی). بنابراین بیشترین تأخیر در هر گروه مربوط به آخرین مالتی‌پلکسر ۲ به ۱ در آن گروه است که رقم نقلی خروجی را برای آن گروه مشخص می‌کند. ۳ ورودی آخرین مالتی‌پلکسر ۲ به ۱ در هر گروه عبارتند از رقم نقلی خروجی از RCA با $Cin=0$، رقم نقلی خروجی از RCA با $Cin=1$ و رقم نقلی ورودی از گروه قبل به این گروه. بهترین حالت برای کم‌شدن تأخیر حالتی است که در آن تأخیر تمامی ورودی‌های آخرین مالتی‌پلکسر در هر گروه به یک اندازه باشد. به عبارت دیگر در هر گروه باید تأخیر تولید رقم نقلی خروجی در RCAها برابر با تأخیر رقم نقلی ورودی از گروه قبلی باشد تا حداقل تأخیر در کل CSeA به دست آید. البته ممکن است که این حالت ایده‌آل در جمع‌کننده رخ ندهد اما گروه‌بندی بایستی به صورتی باشد که اختلاف تأخیر این ورودی‌ها حداقل گردد. برای نمونه، ساختار CSeA پایه ۱۶بیتی از نوع SQRT (شکل ۱) بدین صورت است که در ابتدا یک RCA ۲بیتی منفرد برای ۲ بیت کم‌ارزش‌تر قرار داده می‌شود. اما در ادامه، اندازه گروه‌های CSeA به ترتیب برابر با ۲، ۳، ۴ و ۵ بیت خواهد بود.

۳-۲ بهبود تأخیر و مساحت با بهره‌گیری از مالتی‌پلکسر سریع و کوچک

در شکل ۳ مدار سطح گیت مالتی‌پلکسر پایه یا معمولی نشان داده شده است اما در سطح ترانزیستور مدارهای سریع‌تر و کوچک‌تری طراحی شده‌اند که می‌توان از آنها استفاده نمود. به عنوان نمونه می‌توان با تنها دو ترانزیستور عبوری[1] یک مالتی‌پلکسر ۲ به ۱ یک‌بیتی طراحی کرد، اما دارای مشکلاتی در عبوردادن مقادیر صفر و یک منطقی، به ترتیب به علت افزایش ولتاژ یا افت ولتاژ خروجی است. بنابراین در این مقاله از مالتی‌پلکسری استفاده می‌کنیم که در فناوری CMOS سطوح ولتاژ مناسبی را در خروجی خود تولید می‌نماید [۱۵]. طرح مداری این مالتی‌پلکسر که حاوی دو گیت انتقال[2] و یک گیت NOT است (جمعاً ۶ ترانزیستور)، در شکل ۴ مشاهده می‌شود. در تخمین اولیه، تأخیر و مساحت مورد نیاز این مالتی‌پلکسر (با توجه به تعداد ترانزیستور) تقریباً نصف مالتی‌پلکسر پایه است.

1. Pass Ttransistor
2. Transmission Gate



شکل ۵: مدار سطح گیت یک تمام‌جمع‌کننده.

با جایگزینی مالتی‌پلکسرهای پایه در انواع CSeAها با مالتی‌پلکسر سریع‌تر و کوچک‌تر شکل ۴ بهبود هم در تأخیر و هم در مساحت و توان مصرفی حاصل می‌شود. اگر CSeA دارای گروه‌های با اندازه یکسان باشد، با توجه به تأثیر مستقیم تأخیر مالتی‌پلکسرها بر روی تأخیر کل، این جایگزینی باعث بهبود مناسبی در تأخیر جمع‌کننده خواهد شد. اما در CSeAهای با گروه‌بندی SQRT، با توجه به وابستگی کمتر تأخیر کل به تأخیر مالتی‌پلکسر، میزان بهبود تأخیر کل کمتر خواهد بود. نتایج بهبود تأخیر، مساحت و توان مصرفی جمع‌کننده‌ها در بخش بعدی ارزیابی خواهند شد.

۳-۳ گروه‌بندی پیشنهادی برای بهینه‌سازی تأخیر

اندازه گروه‌ها در CSeA ۱۶بیتی مبتنی بر SQRT قبلاً بیان شد. اما در گروه‌بندی SQRT برای CSeA ۸بیتی در ابتدا یک RCA ۲بیتی منفرد قرار داده می‌شود و در ادامه آن، گروه‌های ۲ و ۴بیتی قرار می‌گیرند. در CSeA ۳۲بیتی بعد از RCA ۲بیتی منفرد گروه‌های ۲، ۳، ۴، ۶، ۷ و ۸بیتی و در CSeA ۶۴بیتی بعد از RCA ۲بیتی منفرد گروه‌های ۲، ۳، ۴، ۶، ۷، ۸، ۹، ۱۱ و ۱۲بیتی قرار می‌گیرند [۱۳].

با بررسی گروه‌بندی SQRT می‌توان دریافت که روند افزایش اندازه گروه‌ها (که معمولاً یکی‌یکی انجام می‌شود) با این فرض بوده که تأخیر مالتی‌پلکسر تقریباً برابر با تأخیر رقم نقلی خروجی یک تمام‌جمع‌کننده (FA[1] یا همان RCA یک‌بیتی) است. مدار تمام‌جمع‌کننده در شکل ۵ نشان داده شده است. با مقایسه دو شکل ۳ و ۵ تشابه تأخیر خروجی مالتی‌پلکسر و تأخیر رقم نقلی خروجی FA با توجه به سطوح گیت به کار رفته تأیید می‌شود. بنابراین زمانی که از مالتی‌پلکسر سریع پیشنهادی در CSeAهای مبتنی بر گروه‌بندی SQRT استفاده شود، به علت عدم برابری تأخیرهای خروجی مالتی‌پلکسر و رقم نقلی خروجی FA، این گروه‌بندی از حالت بهینه خارج می‌گردد.

تأخیرهای مورد استفاده در این مقاله برای عناصر مختلف، با توجه به فرض تأخیر برابر با ۱ واحد برای گیت NOT در جدول ۱ آورده شده است. با توجه به این جدول، تأخیر مالتی‌پلکسر سریع از مسیر انتخاب‌کننده به خروجی (۲ واحد) نصف تأخیر تولید رقم نقلی خروجی یک FA (۴ واحد) است. باید توجه داشت که ورودی انتخاب‌کننده در مالتی‌پلکسرهای CSeA همان رقم نقلی خارج‌شونده از گروه قبلی و واردشونده به گروه فعلی است. با توجه به این قضیه، هرگاه یک گروه در این نوع جمع‌کننده قرار داده می‌شود تأخیر نهایی آن گروه به اندازه نصف تأخیر یک FA افزایش می‌یابد. بنابراین بایستی به جای یک گروه در گروه‌بندی SQRT دو گروه با اندازه برابر را در گروه‌بندی جدید قرار داد تا تأخیر نهایی این دو گروه به اندازه تأخیر یک FA افزایش یابد. این تغییر باعث می‌شود که

1. Full Adder

جدول ۱: تأخیر گیت‌ها و مالتی‌پلکسرهای مختلف بر حسب تأخیر گیت NOT.

عنصر	تأخیر
NOT	۱ واحد
AND, OR, NAND, NOR	۲ واحد
XOR	۳ واحد
مالتی‌پلکسر سریع	۲ واحد (از انتخاب‌کننده به خروجی) ۱ واحد (از انتخاب‌شونده‌ها به خروجی)
مالتی‌پلکسر پایه	۵ واحد (از انتخاب‌کننده به خروجی) ۴ واحد (از انتخاب‌شونده‌ها به خروجی)

گروه‌های بعدی را بتوان با اندازه بزرگ‌تری وارد نمود. برای گروه‌های بعدی نیز بایستی به همین صورت عمل نمود مگر این که جمع‌کننده با اندازه مورد نظر به دست آمده باشد.

با توجه به موارد توضیح داده شده، گروه‌بندی بهینه پیشنهادی با مالتی‌پلکسر سریع برای گروه‌های ۸، ۱۶، ۳۲ و ۶۴بیتی به صورت زیر خواهد بود:

۱) جمع‌کننده ۸بیتی: در ابتدا یک FA (RCA یک‌بیتی) منفرد و سپس گروه‌های ۲، ۲ و ۳بیتی.

۲) جمع‌کننده ۱۶بیتی: در ابتدا RCA ۲بیتی منفرد و سپس گروه‌های ۲، ۲، ۳، ۳ و ۴بیتی.

۳) جمع‌کننده ۳۲بیتی: در ابتدا RCA ۲بیتی منفرد و سپس گروه‌های ۲، ۲، ۳، ۳، ۴، ۴، ۵، ۵ و ۲بیتی.

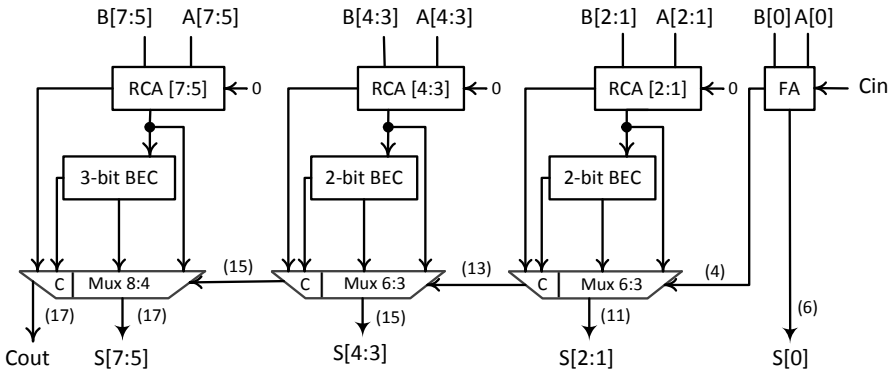
۴) جمع‌کننده ۶۴بیتی: در ابتدا RCA ۲بیتی منفرد و سپس گروه‌های ۲، ۲، ۳، ۳، ۴، ۴، ۵، ۵، ۶، ۶، ۷، ۷ و ۸بیتی.

در گروه‌بندی پیشنهادی برای اندازه‌های مختلف CSeA، باید توجه داشت که گروه‌های پس از RCA اولیه تا زمانی که امکان‌پذیر باشد، دوتا دوتا هم‌اندازه خواهند بود. همچنین فقط در CSeA ۸بیتی اندازه RCA اولیه یک بیت است زیرا در این حالت منجر به کمترین تأخیر می‌شود. اما برای بقیه اندازه‌های جمع‌کننده، RCA اولیه ۲بیتی است. برای نمونه، ساختارهای CSeA ۸بیتی مبتنی بر BEC [۹] و CSeA ۱۶بیتی پایه با اعمال گروه‌بندی پیشنهادی به ترتیب در شکل‌های ۶ و ۷ نمایش داده شده است. در این شکل‌ها، اعداد درون پرانتزها تأخیر سیگنال‌ها را بر حسب واحد با فرض استفاده از مالتی‌پلکسر سریع نشان می‌دهند.

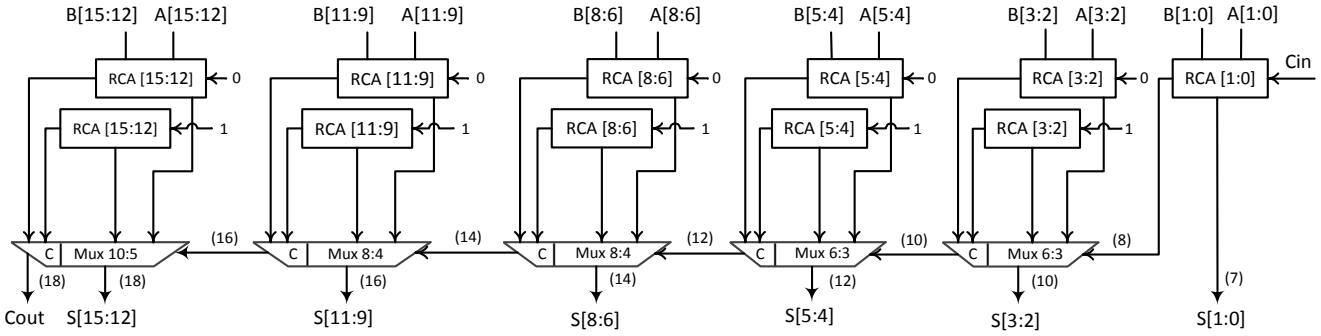
٤- نتایج پیاده‌سازی و ارزیابی

در این بخش، گروه‌بندی پیشنهادی به همراه مالتی‌پلکسر سریع بر روی CSeA پایه و همچنین CSeAهای ارائه‌شده در [۹] و [۱۳]، اعمال و ارزیابی می‌شود. ابتدا با توجه به فرض مورد استفاده در تأخیر گیت‌ها و نتایج سنتز، تأخیر انواع CSeA با گروه‌بندی‌ها و اندازه‌های مختلف بررسی می‌شود. سپس مساحت و توان مصرفی این جمع‌کننده‌ها با توجه به گروه‌بندی‌های متفاوت مورد ارزیابی قرار می‌گیرد. بایستی توجه داشت که اعمال گروه‌بندی پیشنهادی به همراه مالتی‌پلکسر سریع روی CSeA ارائه‌شده در [۱۴]، به علت ترکیب‌شدن مدار مربوط به مالتی‌پلکسرهای آن با بقیه بخش‌های CSeA، امکان‌پذیر نبوده است اما مقایسه نهایی با CSeA ارائه‌شده در [۱۴] انجام می‌گردد.

همه طرح‌ها با استفاده از زبان توصیف سخت‌افزار وریلاگ پیاده‌سازی و شبیه‌سازی شده و سپس سنتز آنها توسط ابزار Synopsys Design Compiler انجام شده است. در این پیاده‌سازی‌ها از کتابخانه استاندارد CMOS ۴۵ nm STMicroelectronics (با ولتاژ تغذیه ۱ V و دمای



شکل۶: ساختار CSeA ۸بیتی مبتنی بر BEC پس از اعمال گروه‌بندی پیشنهادی.



شکل ۷: ساختار CSeA ۱۶بیتی پایه پس از اعمال گروه‌بندی پیشنهادی.

$25^{\circ}C$) استفاده شده است.

٤-١ ارزیابی تأخیر

با توجه به نتایج سنتز و یافتن مسیر حاوی بیشترین تأخیر در CSeAهای تحت بررسی، اثر تأخیر مالتی‌پلکسرها بر روی بیشترین تأخیر مدار و همچنین اثر اندازه مالتی‌پلکسرها بر روی فن‌آوت[1] مربوط به رقم نقلی خروجی هر گروه قابل محاسبه است. برای نمونه در CSeA ۶۴بیتی مبتنی بر BEC با گروه‌بندی SQRT که در آن اندازه گروه‌ها و مالتی‌پلکسرها از ۲ تا ۱۲ بیت تغییر می‌کند، تأخیر مالتی‌پلکسرهای پایه ۲ به ۱ به عنوان تابعی از اندازه گروه بعدی از ۱۷۰ ps تا ۴۹۰ ps تغییر می‌کند. این تأخیر برای مالتی‌پلکسر سریع از ۴۶ ps تا ۳۶۶ ps است. علاوه بر این، میانگین تأخیرها برای مالتی‌پلکسر پایه و سریع در CSeA نام‌برده به ترتیب برابر با ۳۳۰ ps و ۲۲۱ ps به دست آمده که نشان‌دهنده افزایش سرعت حدود ۱٫۵ برابر است. البته این نسبت پس از اعمال گروه‌بندی پیشنهادی به ۱٫۷ افزایش می‌یابد. بنابراین اثر فن‌آوت باعث می‌شود که بهبود تأخیر کمتر از آن چیزی شود که بر پایه تخمین اولیه انتظار داشته‌ایم اما گروه‌بندی پیشنهادی را تغییر نمی‌دهد.

نتایج مربوط به تأخیرهای به دست آمده از سنتز سه نوع CSeA حاوی طرح پایه و طرح‌های ارائه‌شده در [۹] و [۱۳] برای انواع گروه‌بندی‌ها و اندازه‌های ۸ بیت تا ۶۴ بیت در جدول‌های ۲ تا ۴ ارائه شده است. در این جدول‌ها منظور از MUX همان مالتی‌پلکسر است. گروه‌بندی‌های مورد استفاده برای ارزیابی، غیر از گروه‌بندی‌های با اندازه متفاوت پیشنهادی و SQRT، گروه‌بندی‌های با اندازه یکسان ۴ و ۸بیتی هستند. این دو گروه‌بندی با اندازه یکسان برتری خاصی نسبت به هم ندارند و تنها در بعضی از اندازه‌های جمع‌کننده به بهترین جواب در میان گروه‌بندی‌های با اندازه یکسان می‌رسند.

با توجه به نتایج نشان داده شده در جداول ۲ تا ۴ می‌توان دریافت که استفاده از مالتی‌پلکسر سریع در تمام گروه‌بندی‌ها و اندازه‌های جمع‌کننده باعث کاهش تأخیر کل می‌شود. همچنین گروه‌بندی پیشنهادی جدید در بیشتر حالات منجر به کمترین تأخیر در میان تمام گروه‌بندی‌ها شده و میزان بهبود تأخیر قابل توجه است. به عنوان مثال، کاهش تأخیر CSeA ۶۴بیتی پایه حاوی مالتی‌پلکسر پایه با گروه‌بندی SQRT و بهترین گروه‌بندی با اندازه یکسان (که در این مثال، اندازه آن ۸ بیت است)، پس از اعمال گروه‌بندی پیشنهادی حاوی مالتی‌پلکسر سریع، به ترتیب برابر با ۲۷٫۷٪ و ۳۷٫۵٪ است.

٤-٢ ارزیابی تعداد ترانزیستور، مساحت و توان مصرفی

ابتدا برای محاسبه تخمینی طرح‌های گوناگون از نظر مساحت مورد نیاز روی تراشه، تعداد ترانزیستورهای مصرفی هر طرح مورد شمارش قرار گرفته و در جدول ۵ تعداد ترانزیستورهای مصرفی برای عناصر مختلف مورد نیاز ارائه شده است. تعداد ترانزیستور مورد نیاز مالتی‌پلکسر پایه با توجه به پیاده‌سازی آن به صورت تمام NAND، ۱۴ است (سه گیت NAND دو ورودی و یک گیت NOT). برای FA با توجه به استفاده از طرح بهینه‌شده تمام‌جمع‌کننده در فناوری CMOS که در [۱۶] ارائه گردیده، تعداد ترانزیستور مورد نیاز برابر با ۲۸ است. در شمارش تعداد ترانزیستورهای طرح‌های مختلف سعی شده که حتی‌الامکان تبدیل گیت‌های AND و OR به گیت‌های NAND و NOR انجام شود تا تعداد ترانزیستورها کمترین شود.

رابطه (۱) به عنوان نمونه، نحوه محاسبه تعداد ترانزیستور مصرفی گروه nبیتی CSeA پایه را با توجه به تعداد FA و مالتی‌پلکسر مورد نیاز نشان می‌دهد. در این رابطه، منظور از tr تعداد ترانزیستور است

$$tr_{n-bit\ group} = (۲\times n\times tr_{FA}) + ((n+۱)\times tr_{MUX}) \qquad (۱)$$

1. Fanout

جدول ۲: تأخیر نهایی CSeA پایه با اندازه‌ها و گروه‌بندی‌های مختلف در استفاده از دو نوع مالتی‌پلکسر پایه و سریع (بر حسب نانوثانیه).

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۰٫۹۰	–	۰٫۷۵	۰٫۷۵	–	۰٫۴۶	۰٫۴۲
۱۶	۱٫۳۸	۱٫۶۰	۱٫۲۴	۰٫۹۶	۱٫۴	۰٫۶۶	۰٫۶۳
۳۲	۲٫۳۳	۲٫۳۴	۱٫۹۸	۱٫۳۳	۱٫۹۰	۱٫۱۰	۱٫۰۶
۶۴	۴٫۲۷	۳٫۸۴	۳٫۳۲	۲٫۱۰	۲٫۸۲	۲٫۳۴	۲٫۴۰

جدول ۳: تأخیر نهایی CSeA مبتنی بر BEC [۹] با اندازه‌ها و گروه‌بندی‌های مختلف در استفاده از دو نوع مالتی‌پلکسر پایه و سریع (بر حسب نانوثانیه).

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۰٫۹۳	–	۰٫۹۳	۰٫۸۶	–	۰٫۸۶	۰٫۷۱
۱۶	۱٫۴۴	۱٫۶۰	۱٫۳۹	۱٫۱۱	۱٫۴۹	۰٫۹۵	۰٫۹۶
۳۲	۲٫۴۱	۲٫۳۴	۲٫۱۴	۱٫۶۵	۲٫۰۱	۱٫۴۹	۱٫۴۳
۶۴	۴٫۳۵	۳٫۸۴	۳٫۵۱	۲٫۷۲	۳٫۰۸	۲٫۵۳	۲٫۵۴

جدول ۴: تأخیر نهایی CSeA مبتنی بر فرمول‌های منطقی جدید [۱۳] با اندازه‌ها و گروه‌بندی‌های مختلف در استفاده از دو نوع مالتی‌پلکسر پایه و سریع (بر حسب نانوثانیه).

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۰٫۹۱	–	۰٫۷۵	۰٫۸۰	–	۰٫۵۴	۰٫۵۷
۱۶	۱٫۳۲	۱٫۵۹	۱٫۱۵	۰٫۹۹	۱٫۴۸	۰٫۷۱	۰٫۷۴
۳۲	۲٫۱۶	۲٫۲۱	۱٫۷۴	۱٫۴۰	۱٫۸۸	۱٫۰۹	۱٫۱۶
۶۴	۳٫۸۲	۳٫۴۴	۲٫۸۰	۲٫۱۸	۲٫۶۸	۱٫۸۲	۱٫۹۴

جدول ۵: تعداد ترانزیستور مصرفی عناصر مختلف.

عنصر	تعداد ترانزیستور مصرفی
NOT	۲
AND و OR دو ورودی	۶
NAND و NOR دو ورودی	۴
XOR	۶
مالتی‌پلکسر پایه	۱۴
مالتی‌پلکسر سریع	۶
Full Adder	۲۸

جدول ۶: تعداد ترانزیستورهای مصرفی گروه‌های مختلف در جمع‌کننده‌های ۱۶بیتی با گروه‌بندی SQRT حاوی مالتی‌پلکسر سریع.

مؤلفه	CSeA پایه	CSeA مبتنی بر BEC [۹]	CSeA با فرمول‌های منطقی جدید [۱۳]
RCA ۲بیتی	۵۶	۵۶	۵۶
گروه ۲بیتی	۱۳۰	۹۴	۷۸
گروه ۳بیتی	۱۹۲	۱۴۰	۱۲۶
گروه ۴بیتی	۲۵۴	۱۸۶	۱۷۴
گروه ۵بیتی	۳۱۶	۲۳۲	۲۲۲
مجموع ترانزیستورها	۹۴۸	۷۰۸	۶۵۶

برای آگاهی از نحوه محاسبه تعداد ترانزیستورها در انواع CSeAها، جدول ۶ به عنوان نمونه، تعداد ترانزیستورهای مورد نیاز گروه‌های مختلف را در CSeAهای ۱۶بیتی مبتنی بر طرح پایه و طرح‌های ارائه‌شده در [۹] و [۱۳] با گروه‌بندی SQRT که از مالتی‌پلکسر سریع استفاده می‌کنند، نشان می‌دهد. محاسبه تعداد ترانزیستورها برای بقیه گروه‌بندی‌ها و اندازه‌های دیگر نیز مشابه جدول ۶ قابل انجام است. با توجه به نحوه محاسبه ذکرشده، تعداد ترانزیستور مصرفی CSeA پایه در اندازه‌ها و گروه‌بندی‌های مختلف در جدول ۷ ارائه شده است. در ادامه با توجه به سنتزهای انجام‌شده، نتایج مربوط به ۳ نوع CSeA تحت بررسی در اندازه‌های ۸ بیت تا ۶۴ بیت برای انواع گروه‌بندی‌ها در جدول‌های ۸ تا ۱۰ ارائه شده است. نتایج سنتز نشان می‌دهد که تخمین مساحت جدول ۷ با نتایج جدول ۸ سازگار بوده و اختلاف میان نسبت مساحت‌ها در دو جدول تنها چند درصد است در جدول‌های ۸ تا ۱۰ با توجه به بی‌معنابودن گروه‌بندی با اندازه یکسان ۸بیتی برای جمع‌کننده‌های با اندازه ۸ بیت، مکان‌های متناظر خالی گذاشته شده‌اند. با توجه به این جدول‌ها، در هر ۳ نوع CSeA تحت بررسی با اندازه ۸ بیت، گروه‌بندی با اندازه یکسان ۴بیتی در شرایط برابر (استفاده از مالتی‌پلکسر یکسان) منجر به کمترین مساحت در میان گروه‌بندی‌های مختلف شده است. با این حال برای اندازه‌های ۱۶، ۳۲ و ۶۴ بیت در CSeAهای طرح پایه و [۹] با شرایط برابر، گروه‌بندی با اندازه یکسان ۸بیتی به کمترین مساحت احتیاج دارد. البته مطابق جدول ۱۰، گروه‌بندی با اندازه یکسان ۸بیتی تنها در اندازه‌های ۱۶ و ۳۲بیتی منجر به کمترین مساحت در CSeA مبتنی بر [۱۳] شده و برای اندازه ۶۴بیتی، گروه‌بندی با اندازه یکسان ۴بیتی کمترین مساحت را داشته است.

با بررسی جدول‌های ۸ تا ۱۰ می‌توان دریافت که به طور طبیعی استفاده از مالتی‌پلکسر سریع در تمام گروه‌بندی‌ها و اندازه‌های جمع‌کننده باعث کاهش مساحت مورد نیاز می‌شود. همچنین گروه‌بندی پیشنهادی جدید که از مالتی‌پلکسر سریع بهره می‌برد در مقایسه با گروه‌بندی SQRT حاوی مالتی‌پلکسر پایه، در تمام CSeAهای تحت بررسی، مساحت مورد نیاز را کاهش داده است (غیر از CSeA ۸بیتی در جدول ۱۰). در واقع، گروه‌بندی پیشنهادی که بهبود تأخیر آن نسبت به بهترین گروه‌بندی

جدول ۷: تعداد ترانزیستور مصرفی CSEA پایه با اندازه‌ها و گروه‌بندی‌های مختلف در استفاده از دو نوع مالتی‌پلکسر پایه و سریع.

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۴۰۹	–	۵۰۴	۳۶۶	–	۴۴۰	۴۸۰
۱۶	۹۹۴	۷۹۸	۱۰۹۲	۸۷۴	۷۲۶	۹۴۸	۹۵۴
۳۲	۲۱۷۰	۱۹۴۶	۲۲۴۰	۱۸۹۰	۱۷۳۰	۱۹۵۲	۱۹۷۰
۶۴	۴۵۲۲	۴۲۴۲	۴۵۲۲	۳۹۲۲	۳۷۳۸	۳۹۵۴	۳۹۷۸

جدول ۸: مساحت CSEA پایه با اندازه‌ها و گروه‌بندی‌های مختلف در استفاده از دو نوع مالتی‌پلکسر پایه و سریع (بر حسب میکرومتر مربع).

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۷۲٫۸	–	۸۹٫۴	۶۶٫۶	–	۷۹٫۴	۸۶٫۲
۱۶	۱۷۶٫۷	۱۴۳٫۶	۱۹۳٫۲	۱۵۸٫۰	۱۳۲٫۴	۱۷۰٫۷	۱۷۱٫۶
۳۲	۳۸۴٫۴	۳۴۷٫۲	۳۹۶٫۹	۳۴۰٫۶	۳۱۳٫۴	۳۵۱٫۹	۳۵۴٫۲
۶۴	۷۹۹٫۹	۷۵۴٫۶	۸۰۲٫۲	۷۰۶٫۲	۶۷۵٫۸	۷۱۳٫۴	۷۱۶٫۶

جدول ۹: مساحت CSEA مبتنی بر BEC [۹] با اندازه‌ها و گروه‌بندی‌های مختلف در استفاده از دو نوع مالتی‌پلکسر پایه و سریع (بر حسب میکرومتر مربع).

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۶۳٫۱	–	۷۴٫۴	۵۶٫۸	–	۶۴٫۴	۶۸٫۲
۱۶	۱۴۷٫۴	۱۲۴٫۷	۱۵۸٫۸	۱۲۸٫۶	۱۱۳٫۴	۱۳۶٫۳	۱۳۶٫۴
۳۲	۳۱۶٫۲	۲۹۰٫۸	۳۲۴٫۸	۲۷۲٫۴	۲۵۷٫۰	۲۷۹٫۸	۲۸۰٫۲
۶۴	۶۵۳٫۶	۶۲۲٫۸	۶۵۵٫۵	۵۵۹٫۸	۵۴۴٫۰	۵۶۶٫۸	۵۶۷٫۲

جدول ۱۰: مساحت CSEA مبتنی بر فرمول‌های منطقی جدید [۱۳] با اندازه‌ها و گروه‌بندی‌های مختلف در استفاده از دو نوع مالتی‌پلکسر پایه و سریع (بر حسب میکرومتر مربع).

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۵۴٫۴	–	۵۹٫۹	۴۹٫۴	–	۵۲٫۴	۶۱٫۷
۱۶	۱۲۱٫۶	۱۱۰٫۷	۱۲۷٫۰	۱۰۶٫۶	۱۰۰٫۷	۱۰۹٫۵	۱۲۵٫۲
۳۲	۲۵۵٫۸	۲۴۸٫۶	۲۶۴٫۹	۲۲۰٫۸	۲۱۸٫۶	۲۲۷٫۴	۲۵۹٫۵
۶۴	۵۲۴٫۴	۵۲۴٫۴	۵۴۲٫۵	۴۴۹٫۴	۴۵۴٫۴	۴۶۵٫۰	۵۳۵٫۲

جدول ۱۱: توان مصرفی CSEA پایه در اندازه‌ها و گروه‌بندی‌های مختلف (بر حسب میکروواط).

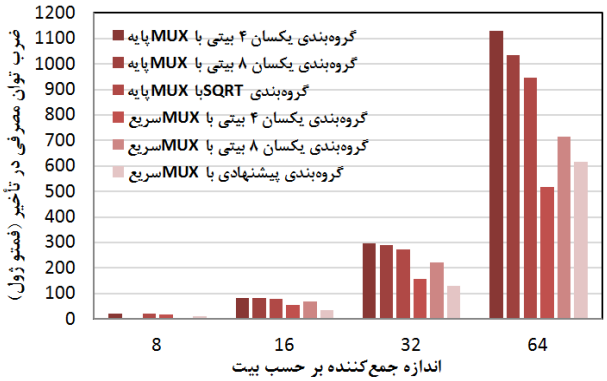
اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۲۴٫۴۱	–	۲۸٫۳۳	۲۳٫۲۰	–	۲۶٫۳۹	۲۷٫۱۴
۱۶	۵۹٫۷۰	۵۰٫۷۴	۶۳٫۲۹	۵۶٫۰۶	۴۸٫۵۵	۵۸٫۹۲	۵۶٫۶۴
۳۲	۱۲۷٫۶۷	۱۲۴٫۲۵	۱۳۷٫۳۴	۱۱۹٫۱۶	۱۱۷٫۶۹	۱۲۸٫۵۹	۱۲۱٫۳۴
۶۴	۲۶۴٫۷۳	۲۶۹٫۴۳	۲۸۵٫۲۷	۲۴۶٫۵۰	۲۵۴٫۱۲	۲۶۸٫۰۲	۲۵۷٫۱۸

موجود (SQRT) قبلاً نشان داده شده است از نظر مساحت مصرفی هم در وضعیت مناسب‌تری قرار دارد. با این حال گروه‌بندی پیشنهادی که اساساً برای کاهش تأخیر طراحی شده است نسبت به گروه‌بندی با اندازه یکسان ۴ یا ۸بیتی حاوی مالتی‌پلکسر پایه، تنها در بعضی از اندازه‌ها منجر به کاهش مساحت مصرفی شده است. اما باید توجه داشت که استفاده از گروه‌های با اندازه یکسان منجر به افزایش فاحشی در تأخیر جمع‌کننده می‌شود در حالی که کمتربودن مساحت مصرفی آن قابل توجه نیست.

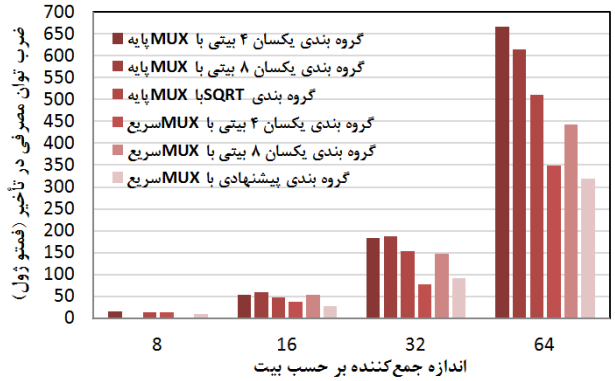
مشابه با جدول‌های ۸ تا ۱۰، جدول‌های ۱۱ تا ۱۳ نتایج مربوط به توان مصرفی (جمع توان‌های پویا و ایستا) ۳ نوع CSeA تحت بررسی را طبق سنتزهای انجام‌شده نشان می‌دهند. مطابق این جدول‌ها، گروه‌بندی پیشنهادی جدید حاوی مالتی‌پلکسر سریع در مقایسه با گروه‌بندی SQRT حاوی مالتی‌پلکسر سریع، در تمام CSeAهای تحت بررسی (غیر از اندازه ۸ بیت) به توان مصرفی کمتری احتیاج دارد.

برای ارزیابی کلی گروه‌بندی پیشنهادی و گروه‌بندی‌های دیگر، می‌توان تأثیر توأمان توان مصرفی و تأخیر را با ضرب توان مصرفی در تأخیر (PDP)[1] به عنوان معیاری معتبر مقایسه نمود. در این حالت، اعداد کوچک‌تر نتایج بهتری محسوب می‌شوند. نمودارهای نشان داده شده در شکل‌های ۸ تا ۱۰ نتایج این معیار را برای ۳ نوع CSeA تحت بررسی، در

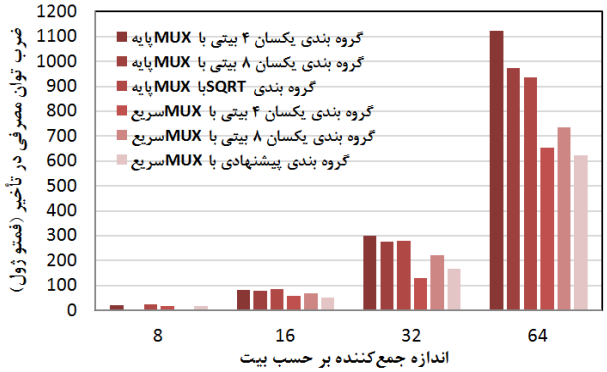
1. Power-Delay-Product



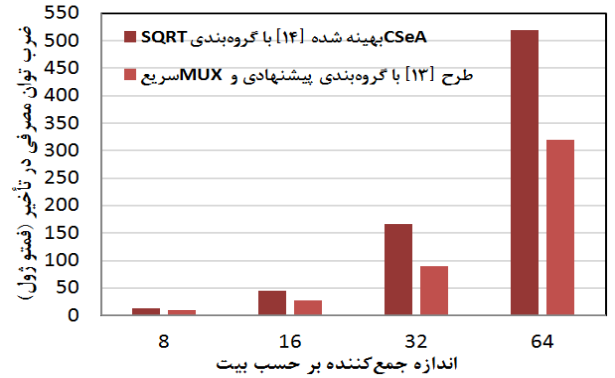
شکل ۸: حاصل‌ضرب توان مصرفی در تأخیر CSeA پایه در اندازه‌ها و گروه‌بندی‌های مختلف.



شکل ۱۰: حاصل‌ضرب توان مصرفی در تأخیر CSeA مبتنی بر فرمول‌های منطقی جدید [۱۳] در اندازه‌ها و گروه‌بندی‌های مختلف.



شکل ۹: حاصل‌ضرب توان مصرفی در تأخیر CSeA مبتنی بر BEC [۹] در اندازه‌ها و گروه‌بندی‌های مختلف.



شکل ۱۱: حاصل‌ضرب توان مصرفی در تأخیر CSeA مبتنی بر فرمول‌های منطقی جدید [۱۳] بهبودیافته با گروه‌بندی پیشنهادی در مقایسه با CSeA بهینه‌شده در [۱۴].

جدول ۱۲: توان مصرفی CSeA مبتنی بر BEC [۹] در اندازه‌ها و گروه‌بندی‌های مختلف (بر حسب میکروواط).

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۲۳٫۴۶	–	۲۷٫۲۹	۲۲٫۲۴	–	۲۵٫۳۵	۲۶٫۴۲
۱۶	۵۷٫۲۰	۴۸٫۵۳	۶۱٫۲۹	۵۳٫۵۶	۴۶٫۳۴	۵۶٫۹۲	۵۵٫۳۴
۳۲	۱۲۴٫۸۸	۱۱۷٫۶۹	۱۳۰٫۵۲	۱۱۶٫۳۸	۱۱۱٫۱۳	۱۲۱٫۷۷	۱۱۷٫۰۶
۶۴	۲۵۸٫۵۱	۲۵۳٫۷۴	۲۶۶٫۴۲	۲۴۰٫۲۸	۲۳۸٫۴۳	۲۴۹٫۱۷	۲۴۵٫۷۸

جدول ۱۳: توان مصرفی CSeA مبتنی بر فرمول‌های منطقی جدید [۱۳] در اندازه‌ها و گروه‌بندی‌های مختلف (بر حسب میکروواط).

اندازه جمع‌کننده	گروه‌بندی‌های حاوی MUX پایه			گروه‌بندی‌های حاوی MUX سریع		
	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	یکسان ۴بیتی	یکسان ۸بیتی	SQRT	پیشنهادی
۸	۱۷٫۷۹	–	۱۹٫۰۹	۱۶٫۸۲	–	۱۷٫۶۳	۱۷٫۸۱
۱۶	۴۰٫۰۹	۳۷٫۵۸	۴۱٫۱۷	۳۷٫۱۷	۳۵٫۶۴	۳۷٫۷۷	۳۷٫۱۵
۳۲	۸۴٫۶۳	۸۴٫۵۶	۸۷٫۷۸	۷۷٫۸۳	۷۸٫۷۳	۸۰٫۴۹	۷۷٫۹۳
۶۴	۱۷۴٫۲۸	۱۷۸٫۷۶	۱۸۲٫۶۴	۱۵۹٫۷۰	۱۶۵٫۱۵	۱۶۷٫۵۷	۱۶۴٫۵۷

اندازه‌ها و گروه‌بندی‌های متفاوت نشان می‌دهند. با توجه به این نمودارها، اثر مثبت استفاده از مالتی‌پلکسر سریع به جای مالتی‌پلکسر پایه نمایان است. همچنین با توجه به این نمودارها می‌توان دریافت که گروه‌بندی پیشنهادی در هر سه نوع CSeA تحت بررسی و در تمام اندازه‌های جمع‌کننده به مقدار کمتری در معیار توأمان نسبت به گروه‌بندی SQRT حاوی مالتی‌پلکسر پایه رسیده و مقدار کاهش در این معیار نیز مناسب بوده است. به عنوان مثال مطابق شکل ۱۰، به کارگیری گروه‌بندی پیشنهادی برای طرح ارائه‌شده در [۱۳] باعث کاهش حاصل‌ضرب توان مصرفی در تأخیر CSeA با گروه‌بندی SQRT حاوی مالتی‌پلکسر پایه، به میزان ۳۴، ۴۵، ۴۵ و ۳۵ درصد به ترتیب برای اندازه‌های ۸، ۱۶، ۳۲ و ۶۴ بیت شده است. این نتایج، به‌صرفه‌تربودن استفاده از گروه‌بندی پیشنهادی را با توجه به ۲ پارامتر توان مصرفی و تأخیر نشان می‌دهد.

شکل ۱۱ مقایسه‌ای میان CSeA بهینه‌شده در [۱۴] را با CSeA مبتنی بر فرمول‌های منطقی جدید [۱۳] که با گروه‌بندی پیشنهادی و مالتی‌پلکسر سریع بهبود یافته است با توجه به معیار حاصل‌ضرب توان مصرفی در تأخیر نشان می‌دهد. با توجه به این شکل، در تمام اندازه‌های جمع‌کننده اعمال گروه‌بندی پیشنهادی و مالتی‌پلکسر سریع بیشتر از بهینه‌کردن مدارهای داخلی CSeA مفید بوده است.

۵- نتیجه‌گیری

در این مقاله با توجه به هدف اصلی که کاهش تأخیر جمع‌کننده مبتنی بر انتخاب رقم نقلی و همچنین بهبود مساحت و توان مصرفی آن بود، روشی برای دست‌یابی به آن پیشنهاد گردید که برای انواع معماری‌های موجود برای این نوع جمع‌کننده قابل استفاده است. در روش پیشنهادی، با توجه به اثر مستقیم تأخیر مالتی‌پلکسر در تأخیر نهایی انواع معماری‌های CSeA، ابتدا مالتی‌پلکسر پایه با مالتی‌پلکسری سریع و کوچک جایگزین گردید. اثر این جایگرینی در کاهش تأخیر و مساحت مصرفی CSeA پایه و بهترین CSeAهای موجود شامل طرح‌های ارائه‌شده در [۹] و [۱۳] مورد بررسی قرار گرفت. سپس با بررسی چگونگی اثرگذاری نسبت میان تأخیر مالتی‌پلکسر و تأخیر رقم نقلی خارج‌شونده از گروه‌های درونی CSeA بر روی تأخیر کل، گروه‌بندی مناسبی پیشنهاد گردید که نسبت به بهترین گروه‌بندی موجود از نظر تأخیر (SQRT) بهبودی حاصل می‌نماید. باید توجه داشت که مناسب‌بودن گروه‌بندی پیشنهادی بیشتر در پارامتر تأخیر است و از نظر مساحت مصرفی نسبت به بعضی از گروه‌بندی‌ها با گروه‌های با اندازه یکسان، به مساحت بیشتری احتیاج دارد. با این حال با توجه به نتایج پیاده‌سازی، همه طرح‌های مبتنی بر گروه‌بندی پیشنهادی حاوی مالتی‌پلکسر سریع، در پارامتر حاصل‌ضرب توان مصرفی در تأخیر به نتیجه‌ای مناسب‌تر نسبت به گروه‌بندی‌های دیگر حاوی مالتی‌پلکسر پایه رسیده‌اند. بنابراین می‌توان نتیجه گرفت که استفاده از گروه‌بندی پیشنهادی حاوی مالتی‌پلکسر سریع در انواع CSeAهای موجود، با توجه به ۲ پارامتر مهم تأخیر و توان مصرفی، مفید خواهد بود.

مراجع

[1] B. Parhami, *Computer Arithmetic: Algorithms and Hardware Designs*, 2nd Ed. New York, NY, USA: Oxford Univ. Press, 2010.

[2] Z. Chen and I. Koren, "Techniques for yield enhancement of VLSI adders," in *Proc. Int. Conf. Appl. Specific Array Process.*, pp. 222-229, Strasbourg, France, 24-26 Jul. 1995.

[3] O. J. Bedrij, "Carry-select adder," *IRE Trans. on Electronic Computers*, vol. 11, no. 3, pp. 340-346, Jun. 1962.

[4] M. A. Akbar and J. Lee, "Self-repairing adder using fault localization," *Microelectronics Reliability*, vol. 54, no. 6-7, pp. 1443-1451, Jun./Jul. 2014.

[5] J. M. Rabaey, Digital Integrated Circuits-A Design Perspective, Prentice Hall Press, 2001.

[6] Y. Kim and L. S. Kim, "64-bit carry-select adder with reduced area," *Electronics Letters*, vol. 37, no. 10, pp. 614-615, May 2001.

[7] Y. He, C. H. Chang, and J. Gu, "An area-efficient 64-bit square root carry-select adder for low power application," in *Proc. IEEE Int. Symp. Circuits and Systems*, pp. 4082-4085, Kobe, Japan, 23-26 May 2005.

[8] U. S. Kumar, K. K. M. Salih, and K. Sajith, "Design and implementation of carry select adder without using multiplexers," in *Proc. Int. Conf. on Emerging Technology Trends in Electronics, Communication and Networking*, 5 pp., Gujarat, India, 19-21 Dec. 2012.

[9] B. Ramkumar and H. M. Kittur, "Low-power and area-efficient carry select adder," *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 20, no. 2, pp. 371-375, Feb. 2012.

[10] I. C. Wey, C. C. Ho, Y. S. Lin, and C. C. Peng, "An area-efficient carry select adder design by sharing the common Boolean logic term," in *Proc. Int. Multiconference of Engineering and Computer Scientist, IMECS*'12, vol. 2, pp. 1091-1094, Hong Kong, Hong Kong, 14-16 Mar. 2012.

[11] S. Manju and V. Sornagopal, "An efficient SQRT architecture of carry select adder design by common Boolean logic," in *Proc. IEEE Int. Conf. on Emerging Trends in VLSI, Embedded System, Nano Electronics and Telecommunication System*, 5 pp., Tiruvannamalai, India, 7-9 Jan. 2013.

[12] G. K. Reddy and D. S. B. Rao, "A comparative study on low-power and high speed carry select adder," in *Proc. IEEE 9th Int. Conf. on Intelligent Systems and Control, ISCO'15*, 7 pp., oimbatore, India, 9-10 Jan. 2015.

[13] B. K. Mohanty and S. K. Patel, "Area-delay-power efficient carry-select adder," *IEEE Trans. Circuits and Systems-II: Express Briefs*, vol. 61, no. 6, pp. 418-422, Jun. 2014.

[14] M. Bahadori, M. Kamal, A. Afzali-Kusha, and M. Pedram, "An energy and area efficient yet high-speed square-root carry select adder structure," *Computers & Electrical Engineering*, vol. 58, pp. 101-112, Feb. 2017.

[15] N. H. E. Weste and K. Eshraghian, *Principle of CMOS VLSI Design: A Systems Perspective*, Pearson Education, 3rd Edition, 2005.

[16] D. P. Vasudevan, P. K. Lala, and J. P. Parkerson, "Self-checking carry-select adder design based on two-rail encoding," *IEEE Trans. Circuits and Systems I: Regular Papers*, vol. 54, no. 12, pp. 2696-2705, Dec. 2007.

عباس محمدنژاد تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی کامپیوتر (سخت‌افزار) به‌ترتیب در سال‌های ۱۳۹۴ و ۱۳۹۶ در دانشگاه صنعتی نوشیروانی بابل به پایان رسانده است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند: از حساب کامپیوتری، محاسبات قابل اطمینان و سیستم‌های تحمل‌پذیر اشکال.

مجتبی ولی‌نتاج تحصیلات خود را در مقاطع کارشناسی، کارشناسی ارشد و دکترای مهندسی کامپیوتر به ترتیب در سال‌های ۱۳۷۹، ۱۳۸۱ و ۱۳۸۹ هر سه در دانشگاه تهران به پایان رسانده است. نام‌برده در سال‌های ۱۳۹۰، ۱۳۹۱ و ۱۳۹۶ پروژه‌های مشترکی را با گروه‌های تحقیقاتی در دانشگاه تورکو و دانشگاه صنعتی تامپره در فنلاند به انجام رسانده است. ایشان از سال ۱۳۸۹ تا کنون به عنوان عضو هیأت علمی در دانشکده مهندسی برق و کامپیوتر دانشگاه صنعتی نوشیروانی بابل مشغول به فعالیت است. زمینه‌های پژوهشی مورد علاقه ایشان شامل موضوعاتی مانند سیستم‌های قابل اطمینان، حساب کامپیوتری، شبکه بر تراشه، منطق برگشت‌پذیر و سیستم‌های چندپردازنده‌ای است.