مقاله پژوهشی

پیاده‌سازی مقایسه‌کننده با ورودی چهارسطحی و خروجی سه‌سطحی بر پایه تکنولوژی ترانزیستور اثر میدانی نانولوله کربنی

ابراهیم فرجی گنبری، موسی یوسفی و خلیل منفردی

چکیده: با توجه به بزرگ‌شدن داده‌های پردازشی، سیستم‌های پردازشی باید طوری طراحی شوند که فضای کمتری را اشغال کنند. بزرگ‌شدن سیستم‌های پردازشی، باعث رشد اندازه داده‌ها شده و از طرفی مشکلات کوچک‌سازی ترانزیستورهای اثر میدانی فلز عایق نیمه‌هادی طراحان مدارات پردازشی را با مشکلات عدیده‌ای مواجه کرده است. ایده جایگزینی مدارهای پردازشی باینری با مدارهای پردازشی چندسطحی باعث کاهش اتصالات بین سیستم‌ها و فضای مصرفی می‌شود. چون پیاده‌سازی مدارهای پردازشی چندسطحی با تکنولوژی ترانزیستورهای اثر میدانی فلز عایق نیمه‌هادی، بسیار پیچیده و مشکل‌آفرین است، جایگزین مناسب برای ترانزیستور اثر میدانی فلز عایق نیمه‌هادی، فناوری ترانزیستورهای نانولوله کربنی است که مزایای بسیاری همانند امکان ساخت ترانزیستور با ولتاژ آستانه متفاوت دارد و چالش‌های طراحی را در پیاده‌سازی سیستم‌های چندسطحی کاهش می‌دهد. این مقاله، ساختار سطح ترانزیستوری مقایسه‌کننده‌های چهارسطحی تک‌رقمی و چندرقمی و مدارهای سطح ترانزیستوری به همراه تکنیک‌های مداری را ارائه می‌کند. نتایج شبیه‌سازی نیز نشان می‌دهند که مقدار تأخیر انتشار و توان مصرفی در مقایسه‌کننده تک‌رقمی چهارسطحی به ترتیب ۱۷٫۳ پیکوثانیه و ۴٫۵۹ میکروواوت و شاخص PDP این مقایسه‌کننده ۷۹٫۲ آتوژول است. همه نتایج شبیه‌سازی مقایسه‌کننده‌های چهارسطحی در این مقاله با استفاده از ترانزیستورهای اثر میدانی نانولوله کربنی و تکنولوژی ۳۲ نانومتر در نرم‌افزار HSPICE به‌دست آمده است.

***کلیدواژه:* ترانزیستورهای اثر میدانی نانولوله کربنی، منطق سه‌سطحی، منطق چهارسطحی، مقایسه‌کننده.**

۱- مقدمه

رشد روزافزون سیستم‌های پردازشی الکترونیکی در تمام حوزه‌های زندگی بشر، باعث افزایش اندازه داده‌های پردازشی شده که نیازمند سیستم‌های پردازشی پرقدرت و پرسرعت است [۱] تا [۳]. با توجه به این رویکرد، محققان و طراحان مدارهای پردازشی به دنبال راهکارهایی جدید جهت بهبود عملکرد سیستم‌های پردازشی موجود هستند که می‌توان به رویکرد محققان به جایگزینی سیستم‌های دیجیتال (باینری) با سیستم‌های چندسطحی اشاره کرد [۴] و [۵].

همان طور که می‌دانیم عنصر اصلی سازنده سیستم‌های پردازشی دیجیتال، ترانزیستور و در حال حاضر ترانزیستورهای MOSFET[1] است که تکنولوژی غالب در این حوزه می‌باشد. با کاهش اندازه تکنولوژی MOSFET، برخی از مشکلات مانند اثرات کوانتومی، تونل‌زدن الکترون در دروازه و هزینه بالای لیتوگرافی در مقیاس نانو برای ترانزیستورهای MOSFET، محققان را ترغیب کرده تا فناوری CMOS[2] را با تکنولوژی نانوالکترونیک جایگزین کنند [۶]. فناوری ترانزیستورهای نانولوله کربنی (CNTFET)[3] یکی از جایگزین‌های مناسب است. در این ترانزیستورها با تغییر قطر نانولوله کربنی ولتاژ آستانه قابل تغییر است که این قابلیت را به طراحان مدارهای الکترونیکی می‌دهد تا در پیاده‌سازی مدارهای منطق چندسطحی[4] با پیچیدگی کمتری مواجه باشند [۷] و [۸]. مطالعات زیادی برای طراحی منطق چندسطحی توسط ترانزیستورهای نانولوله‌کربنی انجام شده است؛ مانند طراحی مدارهای منطقی سه‌سطحی[5]، تمام‌جمع‌کننده‌های سه‌سطحی [۹] تا [۱۱]، مولتی‌پلکسر سه‌سطحی [۱۲]، مبدل‌های باینری به سه‌سطحی چندرقمی [۱۲] تا [۱۴]، جمع‌کننده‌های چهارسطحی [۱۵] واحد محاسبه و منطق [۱۶]، مقایسه‌کننده‌های سه‌سطحی [۱۵] و [۱۶] و مقایسه‌کننده‌های چهارسطحی [۱۷] تا [۱۹]. پس می‌توان نتیجه‌گیری کرد که برای کاهش مسائل و مشکلات رشد اندازه داده‌های پردازشی دیجیتالی می‌توان از سیستم‌های پردازشی چندسطحی استفاده کرد که پیاده‌سازی این مدارها با تکنولوژی ترانزیستورهای CNTFET پیچیدگی کمتری دارد [۲۰] و [۲۱]. در مرور کارهای قبل می‌توان به مقاله فتحی اشاره کرد که در آن، طراحی یک مدار حداقل/ حداکثر کم‌مصرف با استفاده از فناوری CNTFET ارائه شده است. با استفاده از این ساختار، مقایسه‌کننده دیجیتال پیاده‌سازی شده و یک پیکربندی با عملکرد بالا به دست آمده که به دلیل تعداد کم ترانزیستورها برای پیاده‌سازی آن، فضای کوچکی روی تراشه مصرف می‌کند. همچنین این مقایسه‌کننده را نیز می‌توان گسترش داد تا به‌عنوان یک سیستم WTA[6] یا LTA[7] عمل کند. مدارها در این گزارش، ابتدا با CMOS شبیه‌سازی شدند تا عملکرد صحیح آن را نشان دهند و سپس شبیه‌سازی‌ها بر اساس فناوری CNTFET انجام شده است [۲۲].

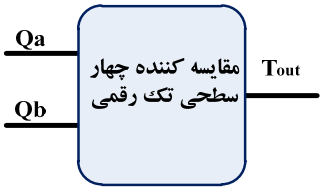
این مقاله در تاریخ ۲۵ اسفند ماه ۱۴۰۱ دریافت و در تاریخ ۱ شهریور ماه ۱۴۰۲ بازنگری شد.

ابراهیم فرجی گنبری، دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران، (email: farajiabrahim.z@gmail.com).

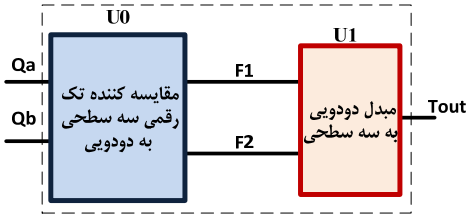
موسی یوسفی (نویسنده مسئول)، دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران، (email: m.yousefi@azaruniv.ac.ir).

خلیل منفردی، دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران، (email: kh.monfaredi@azaruniv.ac.ir).

1. Metal Oxide Semiconductor Field Effect Transistor
2. Complementary Metal Oxide Semiconductor
3. Carbon Nano Tube Field Effect Transistor
4. Multi Valued Logic
5. Ternary
6. Winner-Takes-All
7. Loser-Takes-All



شکل ۱: مقایسه‌کننده چهارسطحی تک‌رقمی.



شکل ۲: بلوک‌های داخلی مقایسه‌کننده تک‌رقمی چهارسطحی.

در [۴] یک مقایسه‌کننده چندسطحی با پیچیدگی بسیار کم بر اساس ولتاژ چندآستانه‌ای در CNTFET طراحی شده است. برای پیاده‌سازی تابع بزرگ‌تر (تابع حداکثر) تنها از چهار ترانزیستور و به همین ترتیب برای پیاده‌سازی تابع کوچک‌تر (تابع حداقل) نیز از چهار ترانزیستور استفاده می‌شود. در این مقاله، گزارش پیاده‌سازی مقایسه‌کننده سه‌سطحی با خروجی باینری و چهارسطحی با خروجی باینری ارائه گردیده است.

در [۲۳] مدار تابع حداقل و حداکثر فازی برای پیاده‌سازی نیم‌جمع‌کننده پیشنهاد شده و به‌خاطر حذف میسر جریان مستقیم، بازده انرژی مدار بهتر شده است. در مدار پیشنهادی برای پیاده‌سازی نیم‌جمع‌کننده سه‌سطحی از ۵۷ ترانزیستور CNTFET استفاده گردیده است.

در [۱۶] طراحی مقایسه‌گر سه‌تایی بر اساس گیت‌های منطقی سه‌گانه آمده که تکنیک ارائه‌شده برای بهینه‌سازی انرژی به‌خاطر پیاده‌سازی مقایسه‌کننده مبتنی بر طراحی گیت‌های منطقی سه‌تایی و باینری است. در [۲۴] مدل‌سازی مداری و آنالیز منطق سه‌سطحی تحت تأثیر تغییرات دمایی ارائه گردیده است. مدل تحریک معکوس‌کننده سه‌سطحی استاندارد (STI)[1] برای به‌دست‌آوردن خروجی سه‌سطحی، استفاده و آنالیز وابستگی دمایی در دماهای مختلف ۳۰۰، ۴۰۰ و ۵۰۰ کلوین انجام شده است. آنالیز وابستگی دمایی برای اتصالات مسی، MWCNT[2] و SWCNT[3] با حفاظ حفاظ و بدون حفاظ انجام شده است.

برای پیاده‌سازی سیستم مقایسه‌کننده باینری از سه خروجی به‌منظور نشان‌دادن وضعیت مقایسه استفاده شده که هر کدام از خروجی‌ها باینری هستند. در تشریح کارهای قبلی ارائه‌شده در این موضوع می‌توان به [۴] اشاره کرد که در آن، ساختار سطح ترانزیستوری مقایسه‌کننده چهارسطحی و سه‌سطحی گزارش شده است. در [۴] ورودی مقایسه‌کننده در سطح سه‌سطحی یا چهارسطحی می‌باشد؛ در حالی که خروجی در مبنای دو است. برای پیاده‌سازی مقایسه‌کننده سه‌سطحی و چهارسطحی در سطح ترانزیستوری از ۱۲ ترانزیستور استفاده شده است. نکته بسیار مهم، امکان تنظیم ولتاژ آستانه ترانزیستورهای نانولوله کربنی است که این امکان را به طراح مدار می‌دهد تا مقایسه‌کننده را با تعداد بسیار کم بتواند پیاده‌سازی کند و در مقایسه با کارهای قبلی شرایط بهتری دارد. نکته قابل ذکر در این مقاله آن است که خروجی‌ها در مبنای دو هستند؛ در حالی که مقایسه‌کننده چهارسطحی پیشنهادی دارای یک خروجی سه‌سطحی است.

1. Starndard Ternary Inverter
2. Multi-Walled Carbon Nanotube
3. Single-Walled Carbon Nanotube

جدول ۱: جدول درستی مقایسه‌کننده چهارسطحی تک‌رقمی.

Tout		Qb			
		۰	۱	۲	۳
Qa	۰	۱	۰	۰	۰
	۱	۲	۱	۰	۰
	۲	۲	۲	۱	۰
	۳	۲	۲	۲	۱

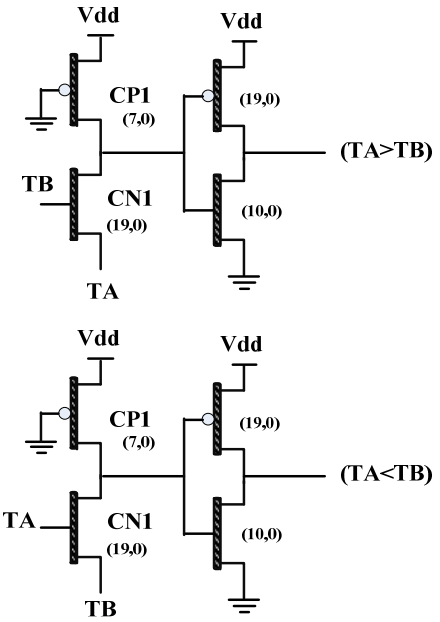
در ادامه و در بخش ۲، ساختار مقایسه‌کننده چهارسطحی تک‌رقمی و مقایسه‌کننده چندرقمی و روش گسترش تعداد ارقام ورودی مقایسه‌کننده شرح داده می‌شود. بخش ۳، نتایج شبیه‌سازی مقایسه‌کننده چهارسطحی تک‌رقمی و چهاررقمی را ارائه می‌کند و نهایتاً در بخش ۴ نتیجه‌گیری مقاله آمده است.

۲- پیاده‌سازی مقایسه‌کننده تک‌بیتی چهارسطحی

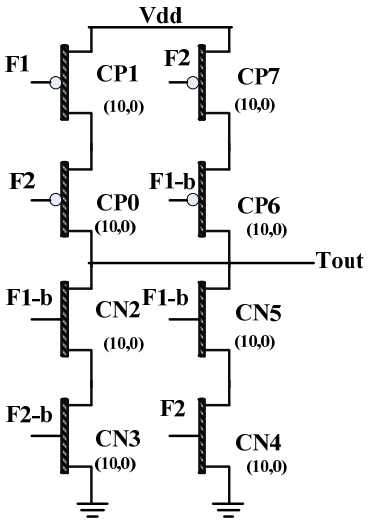
همان طور که می‌دانیم مقایسه‌کننده دیجیتالی، دو ورودی را بررسی می‌کند و بعد از پردازش داده‌های ورودی، نتیجه مقایسه را در خروجی نشان می‌دهد؛ به همین خاطر مقایسه‌کننده باینری ۳ خروجی دارد که برای نشان‌دادن نتیجه مقایسه استفاده می‌شود؛ در حالی که می‌توان نتیجه خروجی مقایسه در منطق سه‌سطحی را با یک خروجی سه‌سطحی نشان داد. لذا در این مقاله برای پیاده‌سازی مقایسه‌کننده، نتیجه مقایسه دو ورودی Qa و Qb چهارسطحی توسط یک خروجی سه‌سطحی $Tout$ نشان داده می‌شود. در شکل ۱ نمایش بلوکی از مقایسه‌کننده چهارسطحی که هر دو ورودی Qa و Qb چهارسطحی و خروجی سه‌سطحی است، آمده است. اگر بخواهیم فرایند مقایسه‌کننده را به‌صورت بلوکی نشان دهیم می‌توان از شکل ۲ استفاده کرد. در این مقایسه‌کننده، دو بلوک $U0$ و $U1$ استفاده شده و از بلوک $U0$ برای به‌دست‌آوردن نتیجه مقایسه دو ورودی در قالب توابع بزرگ‌تر و کوچک‌تر استفاده شده است. در ادامه، بلوک بعدی $U1$ ورودی‌های $F1$ و $F2$ را به یک خروجی سه‌سطحی تبدیل می‌کند (مبدل دودویی به سه‌سطحی).

در جدول ۱ تمام حالت‌های ممکن برای ورودی Qa و Qb و نتیجه خروجی سه‌سطحی $Tout$ نشان داده شده و این طراحی بر اساس این قاعده است که اگر Qa از Qb بزرگ‌تر باشد، خروجی $Tout='2'$ و اگر Qa از Qb کوچک‌تر باشد $Tout='0'$ و اگر $Qa=Qb$ باشد خروجی برابر $Tout='1'$ خواهد بود.

برای پیاده‌سازی خروجی‌های $F1$ و $F2$ از مدار سطح ترانزیستوری آمده در [۲۰] استفاده شده است. شکل ۳ مدار سطح ترانزیستوری بلوک $U0$ مقایسه‌کننده تک‌رقمی چهارسطحی را نشان می‌دهد و همان طور که قابل مشاهده است، از دو مدار مجزا برای ایجاد خروجی‌های توابع بزرگ‌تر و کوچک‌تر استفاده شده است. عملکرد مدار به این صورت می‌باشد که به ازای مقادیر TA و TB، اگر ولتاژ گره X بزرگ‌تر از $2Vdd/3$ ولت شود، در نتیجه ترانزیستور $CN0$ روشن شده و خروجی را به زمین وصل می‌کند و در غیر این صورت ترانزیستور $CP1$ روشن شده و خروجی به Vdd وصل می‌شود [۴]. در این مدار دو خروجی به‌دست می‌آید که یکی نشان می‌دهد ورودی Qa از Qb بزرگ‌تر و دیگری نشان می‌دهد Qa از Qb کوچک‌تر است و برای به‌دست‌آوردن خروجی نهایی به‌صورت سه‌سطحی از مدار شکل ۴ استفاده شده است. لذا با درنظرگرفتن وضعیت توابع $F1$ و $F2$ می‌توان خروجی نهایی سه‌سطحی $Tout$ را به‌دست آورد. در صورت اینکه $F1$ برابر یک دودویی (همان



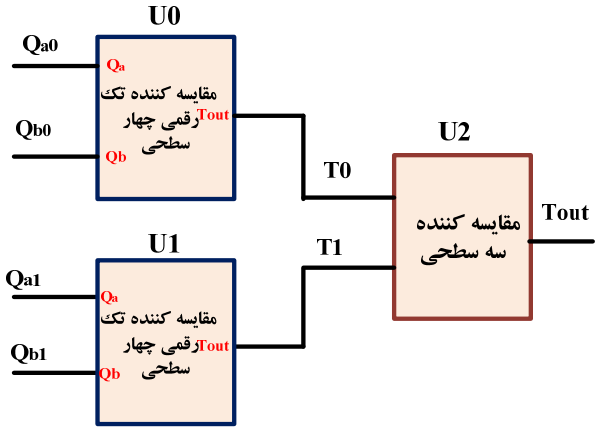
شکل ۳: مدار مقایسه‌کننده تک‌رقمی چهارسطحی [۴].



شکل ۴: مدار بلوک U۱ مبدل دودویی به سه‌سطحی.

'۲' سه‌سطحی یا Vdd) باشد، خروجی نهایی سه‌سطحی $Tout$ برابر با Vdd یا همان '۲' سه‌سطحی خواهد شد و در صورتی که $F۲='۲'$ باشد، خروجی $Tout$ باید برابر با '۰' سه‌سطحی شود و در غیر این صورت، خروجی $Tout$ برابر با نصف ولتاژ منبع تغذیه یا مقدار منطق '۱' سه‌سطحی باید باشد. برای بررسی تمام وضعیت‌های ممکن، جدول ۲ را مشاهده کنید.

برای پیاده‌سازی سطح ترانزیستوری بلوک $U۱$ از مدار شکل ۴ استفاده شده و با توجه به جدول ۳ که وضعیت خروجی‌های میانی (خروجی بلوک $U۰$ شکل ۲) را نشان می‌دهد، مشخص است که حالت چهارم امکان‌پذیر نیست. در مدار سطح ترانزیستوری برای به‌دست‌آوردن خروجی در سطح ۲ باید $F۱='۲'$ و $F۲='۰'$ باشد؛ لذا از ترانزیستور $CP۰$ و $CP۱$ به‌صورت سری استفاده شده و برای حالت $F۱='۱'$ و $F۲='۲'$ که خروجی باید صفر شود از دو ترانزیستور نوع N به‌صورت سری $(CN۲, CN۳)$ استفاده گردیده است. برای ایجاد سطح یک از دو شبکه ترانزیستوری N و P استفاده شده که در وضعیت $F۲=F۱='۰'$ وصل هستند و خروجی سطح یک را تولید می‌کنند. مجموعاً برای این مبدل با درنظرگرفتن گیت‌های معکوس‌کننده $F۱$ و $F۲$، ۱۲ ترانزیستور



شکل ۵: مقایسه‌کننده چهارسطحی دورقمی.

جدول ۲: جدول درستی مقایسه‌کننده تک‌ورودی چهارسطحی.

ورودی‌ها		خروجی‌های میانی	
Qa	Qb	$F۱(Qa>Qb)$	$F۲(Qa<Qb)$
۰	۰	۰	۰
۰	۱	۰	۲
۰	۲	۰	۲
۰	۳	۰	۲
۱	۰	۲	۰
۱	۱	۰	۰
۱	۲	۰	۲
۱	۳	۰	۲
۲	۰	۲	۰
۲	۱	۲	۰
۲	۲	۰	۰
۲	۳	۰	۰
۳	۰	۲	۰
۳	۱	۲	۰
۳	۲	۲	۰
۳	۳	۰	۰

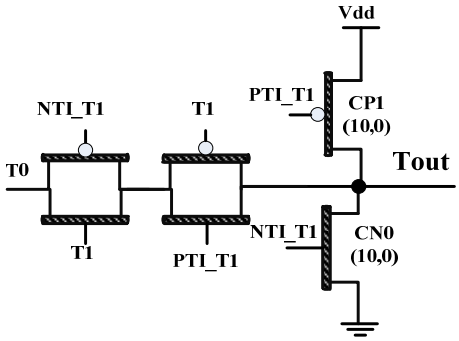
جدول ۳: وضعیت خروجی‌های $F۱$ و $F۲$ مقایسه‌کننده تک‌رقمی چهارسطحی.

$F۱$	$F۲$	$Tout$
۰	۰	۱
۰	۲	۰
۲	۰	۲
۲	۲	تعریف‌نشده

نیاز است. در شکل ۴، $F۱-b$ معکوس تابع $F۱$ و سیگنال $F۲-b$ نیز معکوس تابع $F۲$ می‌باشد.

۲-۱ مقایسه‌کننده دورقمی چهارسطحی

برای پیاده‌سازی مقایسه‌کننده چهارسطحی دورقمی از دو بلوک مقایسه‌کننده تک‌رقمی گزارش‌شده در بخش قبلی استفاده می‌کنیم. همان طور که در شکل ۵ نشان داده شده است، بلوک $U۰$ دو ورودی کم‌ارزش $Qa۰$ و $Qb۰$ را با هم مقایسه می‌کند و نتیجه را در خروجی $T۰$ نشان می‌دهد. به همین ترتیب بلوک $U۱$ نتیجه مقایسه دو ورودی باارزش $Qa۱$ و $Qb۱$ را در خروجی $T۱$ نشان می‌دهد. همان طور که می‌دانیم اگر نتیجه مقایسه بیت باارزش مشخص باشد، نتیجه نهایی نیز مشخص



شکل ۶: مدار سطح ترانزیستوری مقایسه‌کننده سه‌سطحی (شکل بلوک U۲).

جدول ۴: جدول درستی مقایسه‌کننده سه‌سطحی (شکل بلوک U۲).

خروجی نهایی	خروجی‌های مقایسه‌کننده‌های تک‌رقمی	
Tout	*T۰*	*T۱*
۰	*X**	۰
۲	*X*	۲
۰	۰	۱
۱	۱	۱
۲	۲	۱

* در این جدول، *X* حالت بی‌اهمیت است.

جدول ۵: پارامترهای نانولوله کربنی.

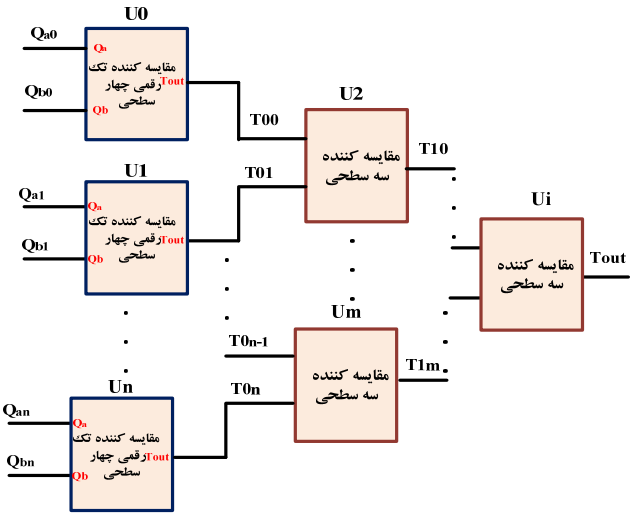
توصیف	ارزش	پارامتر
طول فیزیکی کانال (nm)	۳۲	*Lch*
میانگین مسیر آزاد در نانولوله کربنی ذاتی (nm)	۱۰	*Lgeff*
طول نانولوله آلایش‌شده ناحیه سورس (nm)	۳۲	*Lss*
طول نانولوله آلایش‌شده ناحیه درین (nm)	۳۲	*Ldd*
ضخامت ماده دی‌الکتریک (nm)	۴	*Tox*
ثابت دی‌الکتریک اکسید دروازه	۱۶	*Kox*
سطح فرمی لوله S/D دوپ‌شده (ev)	۶	*Efi*
ظرفیت کوپلینگ بین ناحیه کانال و بستر (pF)	۲۰	*Csub*
فاصله بین مراکز دو CNT مجاور (nm)	۱۶	*Pitch*
عرض فلز دروازه (nm)	۴/۶	*Wgate*

خواهد شد. با توجه به این، زمانی مقایسه بیت‌های کم‌ارزش مهم است که نتیجه مقایسه بیت‌های باارزش برابر باشد. برای درک بهتر از وضعیت ورودی‌ها و خروجی‌ها، شرایط مقایسه و نتیجه نهایی مقایسه‌کننده، جدول ۴ را مشاهده کنید. با توجه به جدول برای پیاده‌سازی از مدار سطح ترانزیستوری آمده در شکل ۶ استفاده می‌کنیم. در این مدار از ترانزیستور *CP۱* برای ایجاد منطق ۲ به ازای اینکه '۲' = *T۱* است بهره گرفته شده و از *CN۰* به ازای اینکه '۱' = *T۱* است برای ایجاد خروجی '۰' استفاده شده است. در این مدار به ازای اینکه '۱' = *T۱* می‌باشد خروجی *Tout* با مقدار *T۰* برابر است و برای آن منظور از ترانزیستورهای گیت انتقالی a برای ایجاد خروجی درست استفاده شده است.

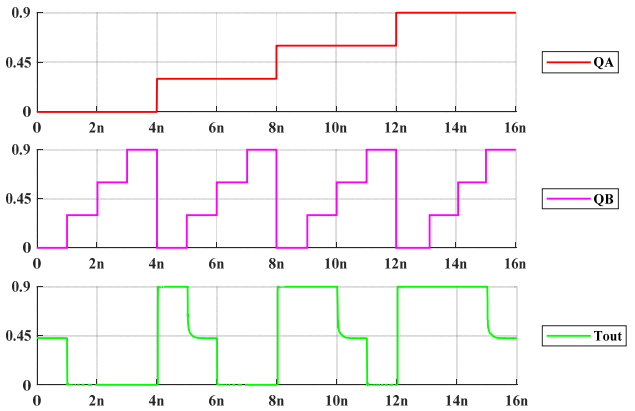
برای پیاده‌سازی هر کدام از بلوک‌های مقایسه‌کننده تک‌رقمی چهارسطحی از ۲۰ ترانزیستور و برای پیاده‌سازی مقایسه‌کننده سه‌سطحی نیز از ۶ ترانزیستور استفاده می‌شود. با این توضیح، تعداد ترانزیستور لازم برای پیاده‌سازی مقایسه‌کننده دورقمی مطابق شکل، ۴۶ عدد خواهد بود.

۲-۲ گسترش مقایسه‌کننده

برای پیاده‌سازی مقایسه‌کننده چندرقمی نیز با گسترش مدار می‌توان



شکل ۷: بلوک مقایسه‌کننده چهارسطحی گسترش‌یافته.



شکل ۸: نتایج شبیه‌سازی مقایسه‌کننده تک‌رقمی چهارسطحی.

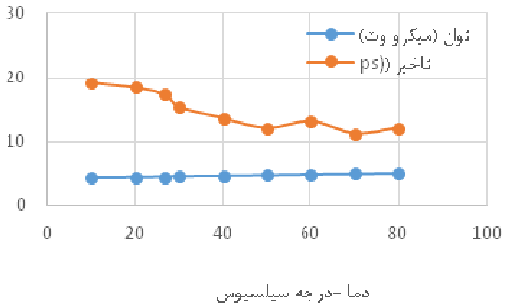
مقایسه‌کننده چندرقمی را طبق شکل ۷ پیاده‌سازی کرد. بدین منظور به ازای هر رقم از ورودی‌ها یک بلوک مقایسه‌کننده تک‌رقمی چهارسطحی، مطابق آنچه در شکل ۷ آمده است، باید در نظر بگیریم. خروجی دو بلوک مقایسه‌کننده اول، وارد بلوک مقایسه‌کننده دوم خواهد شد و بدین ترتیب مقایسه‌کننده را می‌توان به ازای هر چند ورودی گسترش داد.

۳- نتایج شبیه‌سازی

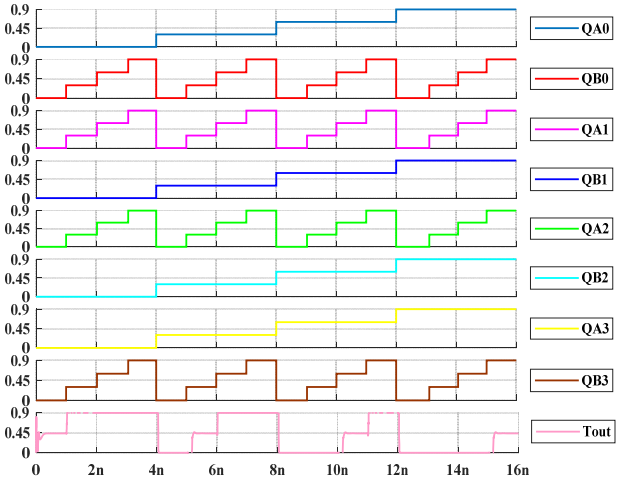
مدارهای ارائه‌شده در این گزارش با نرم‌افزار HSPICE و مدل ترانزیستوری ۳۲ نانومتری استنفورد CNTFET شبیه‌سازی گردیده است. در جدول ۵ برخی از پارامترهای مهم ترانزیستورهای اثر میدانی نانولوله کربنی آمده [۲۵] تا [۲۷] و ضمناً ولتاژ تغذیه تمام مدارهای پیشنهادی ۰/۹ ولت است.

در شکل ۸ نتایج شبیه‌سازی مقایسه‌کننده تک‌رقمی چهارسطحی آمده است. *Qa* و *Qb*، ورودی چهارسطحی مقایسه‌کننده و *Tout* خروجی مقایسه‌کننده می‌باشد. مقایسه‌کننده را تحت بارهای مختلف خازنی قرار دادیم و نتایج به‌دست‌آمده از توان، تأخیر انتشار و PDP[1] در جدول ۶ آمده است. به ازای بار خازنی ۱ فمتوفاراد، توان مصرفی و تأخیر انتشار به‌ترتیب ۴/۶۸۱ میکروواوت و ۴۱/۷ پیکوثانیه و مقدار PDP، ۱۹۵/۲۱ آتوژول است. در بار خازنی ۲ فمتوفاراد، تأخیر انتشار ۷۱/۶۲ پیکوثانیه و توان مصرفی ۴/۷۹۶ میکروواوت و مقدار PDP، ۳۴۳/۵۱۱ آتوژول است. مقدار توان

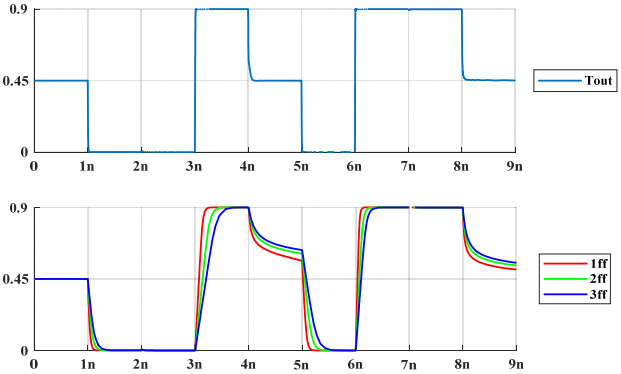
1. Power-Delay-Product



شکل ۹: نمودار تغییرات توان مصرفی و تأخیر انتشار بر حسب دما.



شکل ۱۰: نمودار زمانی مقایسه‌کننده چهاررقمی چهارسطحی پیشنهادی.



شکل ۱۱: تأثیر بارهای خازنی بر روی خروجی مقایسه‌کننده تک‌رقمی.

مصرفی و تأخیر انتشار در بار خازنی ۳ فمتوفاراد به‌ترتیب ۴/۹ میکروووات و ۹۹/۸۲ پیکوثانیه و مقدار PDP، ۴۸۹/۱۳۷ آتوژول است.

نتایج توان مصرفی، تأخیر انتشار و PDP مقایسه‌کننده تک‌رقمی چهارسطحی تحت بارهای مختلف در جدول ۷ نشان داده شده است. به ازای افزایش دما از ۱۰ تا ۸۰ درجه سانتی‌گراد، مقدار توان مصرفی نیز افزایش می‌یابد. مقدار تأخیر انتشار با افزایش دما کاهش می‌یابد و مقدار PDP نیز با کاهش تأخیر انتشار، رابطه مستقیم دارد. در شکل ۹ نمودار توان مصرفی و تأخیر انتشار به ازای دماهای مختلف آمده است.

نتایج شبیه‌سازی مقایسه‌کننده چهارسطحی در شکل ۱۰ آمده است. $Qa0$ تا $Qa3$ و $Qb0$ تا $Qb3$ ورودی‌های چهارسطحی مقایسه‌کننده هستند و پایه خروجی $Tout$ در سطح ترنری می‌باشد. در جدول ۸ نتایج توان، تأخیر انتشار و مقدار PDP برحسب دماهای مختلف از ۱۰ تا ۸۰ درجه سانتی‌گراد آمده است. با توجه به نتایج به‌دست‌آمده، میزان توان مصرفی به نسبت افزایش دما به مقدار جزئی افزایش داشته و مقدار تأخیر انتشار با افزایش دما، کاهش یافته است.

جدول ۶: مقایسه‌کننده تک‌رقمی چهارسطحی به ازای خازن‌های مختلف.

مدل طراحی	خازن بار (ff)	توان مصرفی (µW)	تأخیر انتشار (Ps)	PDP (aj)
مقایسه‌کننده	۱	۴/۶۸۱	۴۱/۷	۱۹۵/۲۱
تک‌رقمی	۲	۴/۷۹۶	۷۱/۶۲	۳۴۳/۵۱۱
چهارسطحی	۳	۴/۹۰۰۴	۹۹/۸۲	۴۸۹/۱۳۷

جدول ۷: مقایسه‌کننده تک‌رقمی چهارسطحی بر حسب دما.

بلوک	توان مصرفی (µW)	تأخیر انتشار (Ps)	PDP (aj)	دما (°C)
مقایسه‌کننده تک‌رقمی چهارسطحی	۴/۴۲۲	۱۹/۲۱۰	۸۴/۹۴۶	۱۰
	۴/۵۱۷	۱۸/۴۲۴	۸۳/۲۲۱	۲۰
	۴/۵۸۹	۱۷/۲۵۲	۷۹/۱۶۹	۲۷
	۴/۶۲۶	۱۵/۳۴۶	۷۰/۹۹۰	۳۰
	۴/۷۲۸	۱۳/۶۲۳	۶۴/۴۰۹	۴۰
	۴/۸۲۷	۱۲/۷۳۰	۶۱/۴۴۷	۵۰
	۴/۹۳۸	۱۳/۱۸۷	۶۵/۱۱۷	۶۰
	۵/۰۴۴	۱۱/۸۲۲	۵۹/۶۳۰	۷۰
	۵/۱۴۹	۱۲/۱۲۹	۶۲/۴۶۰	۸۰

جدول ۸: تأثیر دماهای مختلف بر روی مقایسه‌کننده چهاررقمی چهارسطحی.

مدل طراحی	توان مصرفی (µW)	تأخیر انتشار (Ps)	PDP (aj)	دما (°C)
مقایسه‌کننده چهاررقمی چهارسطحی	۱۸/۲۱۷	۱۲۶/۴۴	۲۳۰۳/۳	۱۰
	۱۸/۶۲۱	۱۱۵/۴۱۱	۲۱۴۹/۰۶	۲۰
	۱۸/۹۲۴	۱۰۷/۲۱۱	۲۰۲۹۸/۸	۲۷
	۱۹/۰۷۲	۱۰۵/۱۷۷	۲۰۰۵/۹	۳۰
	۱۹/۴۹۴	۹۶/۹۵۵	۱۸۹۰/۰۴	۴۰
	۱۹/۹۶۰	۸۹/۸۶۶	۱۷۸۹/۷۳	۵۰
	۲۰/۴۰۵	۸۴/۸۶۶	۱۷۲۶/۷۱	۶۰
	۲۰/۹۰۶	۸۰/۱۱۱	۱۶۷۴/۸	۷۰
	۲۱/۳۵۸	۷۴/۹	۱۵۹۹/۷	۸۰

جدول ۹: مقایسه‌کننده چندرقمی چهارسطحی به ازای خازن‌های مختلف.

مدل طراحی	خازن بار (fF)	توان مصرفی (µW)	تأخیر انتشار (Ps)	PDP (aj)
مقایسه‌کننده	۱	۱۹/۱۶۹	۱۶۴/۸	۳۱۵۹/۸
چندبیتی	۲	۱۹/۳۴	۲۰۶/۸	۴۰۰۲/۸
چهارسطحی	۳	۱۹/۵۱	۲۸۸/۲	۵۶۲۵/۵

نتایج توان مصرفی، تأخیر انتشار و مقدار PDP مقایسه‌کننده چندبیتی چهارسطحی در بارهای مختلف خازنی در جدول ۹ نشان داده شده است. به ازای افزایش مقدار بار خازنی در خروجی مقایسه‌کننده، مقدار تأخیر انتشار نیز افزایش می‌یابد و باعث افزایش مقدار PDP می‌شود. در بار خازنی ۱ فمتوفاراد، مقدار توان و تأخیر انتشار به ترتیب ۱۹/۱۶۹ میکروووات و ۱۶۴/۸ پیکوثانیه و مقدار PDP آن ۳۱۵۹/۸ آتوژول است. در بار خازنی ۲ فمتوفاراد، مقدار توان و تأخیر انتشار به‌ترتیب ۱۹/۳۴ میکروووات و ۲۰۶/۸ پیکوثانیه و مقدار PDP به‌دست‌آمده ۴۰۰۲/۸ آتوژول است. مقدار توان و تأخیر انتشار در بار خازنی ۳ فمتوفاراد به‌ترتیب ۱۹/۵۱ میکروووات و ۲۸۸/۲ پیکوثانیه و مقدار PDP آن ۵۶۲۵/۵ آتوژول است.

در شکل ۱۱ نمودار زمانی خروجی مقایسه‌گر تک‌رقمی چهارسطحی پیشنهادی به ازای تغییرات خازن بار آمده و نیز در جدول ۱۰ نتایج انواع

جدول ۱۰: نتایج کارهای قبلی در مقایسه با طرح پیشنهادی.

مراجع	ورودی- خروجی	تعداد ورودی	تعداد خروجی	توان مصرفی (µW)	تأخیر انتشار (Ps)	PDP (aj)
[۱۶]	سه‌سطحی- دودویی	۲	۳	۰٫۸۸۲	۷۳٫۱۲	۶۴٫۳۴
[۴]	سه‌سطحی- دودویی	۲	۳	۱٫۰۸۱	۶۰٫۰۵	۶۴٫۹۱
پیشنهادی	چهارسطحی- سه‌سطحی	۴	۱	۱۹٫۱۶۹	۱۶۴٫۸	۳۱۵۹٫۸

مقایسه‌کننده چندسطحی (سه‌سطحی و چهارسطحی) به ازای شاخص‌های مختلف نشان داده شده است. مهم‌ترین تفاوت مقایسه‌کننده پیشنهادی نسبت به کارهای قبلی در نوع مبنای خروجی می‌باشد.

٤- نتیجه‌گیری

نوآوری در مواد، نقشی مهم در طراحی مدارهای مجتمع دارد؛ با این حال استفاده از نانولوله‌های کربنی در ساخت مدارهای مجتمع، ایده‌ای نو برای صنعت میکروالکترونیک است. طراحی مدارهای چندسطحی با استفاده از ترانزیستورهای اثر میدانی نانولوله‌کربنی خواهد توانست برای توسعه بیشتر در صنعت میکروالکترونیک از چالش‌های جدی از جمله محدودیت فیزیکی، هزینه و مصرف انرژی بکاهد. با توجه به اهمیت این موضوع، بررسی مقایسه‌کننده‌های سه‌سطحی با استفاده از ترانزیستورهای اثر میدانی نانولوله کربنی و آشنایی با اصول عملکرد، ویژگی‌ها و مشخصات این نوع مقایسه‌کننده‌ها در این مقاله انجام شد. همچنین ساختار مداری در سطح ترانزیستور مقایسه‌کننده تک‌رقمی چهارسطحی با بهره‌گیری از ترانزیستورهای اثر میدانی نانولوله کربنی ارائه گردید. تمام شبیه‌سازی‌ها در محیط نرم‌افزار Hspice و با تکنولوژی ترانزیستورهای ۳۲ نانومتر CNTFET انجام شده است. نتایج شبیه‌سازی نشان داد که مقایسه‌کننده پیشنهادی تک‌رقمی استفاده‌شده دارای توان مصرفی ۴٫۵۹ میکروووات و تأخیر انتشار ۱۷٫۳ پیکوثانیه است. ضمناً ساختار پیشنهادی مقایسه‌کننده چهارسطحی دورقمی دارای توان مصرفی ۱۸٫۲ میکروووات و تأخیر انتشار ۱۲۷ پیکوثانیه است.

مراجع

[1] S. A. Anjuli and A. Satjajit, "High-speed 64-bit CMOS binary comparator," *International J. of Innovative Systems Design and Engineering*, vol. 4, no. 2, pp. 45-58, 2013.

[2] S. Anand, "High-speed 64-bit binary comparator using two different logic styles," *International J. of Computer Applications*, vol. 975, no. 14, pp. 23-27, Apr. 2013.

[3] G. H. Zhang, C. C. Poon, and Y. T. Zhang, "Analysis of using inter pulse intervals to generate 128-bit biometric random binary sequences for securing wireless body sensor networks," *IEEE Trans. on Information Technology in Biomedicine*, vol. 16, no. 1, pp. 176-182, 2011.

[4] S. A. Hosseini and S. Etezadi, "A novel very low-complexity multi-valued logic comparator in nanoelectronics," *Circuits, Systems, and Signal Processing*, vol. 39, no. 1, pp. 223-244, Jan. 2020.

[5] H. Yoo and C. H. Kim, "Multi-valued logic system: new opportunities from emerging materials and devices," *J. of Materials Chemistry C*, vol. 9, no. 12, pp. 4092-4104, 2021.

[6] A. Heung and H. T. Mouftah, "Depletion/enhancement CMOS for a lower power family of three-valued logic circuits," *IEEE J. Solid-State Circuits*, vol. 20, no. 2, pp. 609-616, Apr. 1985.

[7] S. K. Sinha and S. Chaudhury, "Advantage of CNTFET characteristics over MOSFET to reduce leakage power," in *Proc. IEEE 2nd Int. Conf. Devices Circuits and Systems, ICDCS'14*, 5 pp., Coimbatore, India, 6-8 Mar. 2014.

[8] J. Appenzeller, "Carbon nanotubes for high-performance electronics progress and prospect," *Proceedings of the IEEE*, vol. 96, no. 2, pp. 201-211, Feb. 2008.

[۹] س. س. موسوی، م. یوسفی و خ. منفردی، "طراحی و شبیه‌سازی مبدل ترنری به باینری بهینه‌شده بر پایه ترانزیستورهای اثر میدان نانولوله کربنی،" *پردازش سیگنال پیشرفته*، جلد ۴، شماره ۲، صص. ۳۰۱-۲۹۱، آذر ۱۳۹۹.

[10] M. Yousefi, K. Monfaredi, and Z. Moradi, "Design and simulation of pseudo ternary adder based on CNTFET," *AUT J. of Electrical Engineering*, vol. 54, no. 2 (Special Issue), pp. 361-376, 2022.

[11] S. A. Hosseini and S. Etezadi, "A novel low-complexity and energy-efficient ternary full adder in nanoelectronics," *Circuits, Systems, and Signal Processing*, vol. 40, pp. 1314-1332, 2021.

[12] S. Lin, Y. B. Kim, and F. Lombardi, "CNTFET-based design of ternary logic gates and arithmetic circuits," *IEEE Trans. Nanotechnology*, vol. 10, no. 2, pp. 217-225, Mar. 2011.

[13] A. P. Dhande and V. T. Ingole, "Design and implementation of 2-bit ternary ALU slice," in *Proc. Int. Conf. IEEE-Sci. Electron., Technol. Inf. Telecommun.*, vol. 17, Tunisia, 17-21 Mar. 2005.

[14] H. Taheri, A. Dabaghi Zarandi, and M. R. Reshadinezhad, "Design of a high performance CNTFET-based full adder cell applicable in: carry ripple, carry select and carry skip adders," *Microelectron. Eng*, vol. 215, Article ID: 110980, 15 Jul. 2019.

[15] R. A. Jaber, A. M. El-Hajj, A. Kassem, L. A. Nimri, and A. M. Haidar, "CNTFET-based designs of ternary half-adder using a novel 'decoderless' ternary multiplexer based on unary operators," *Microelectron. J.*, vol. 96, Article ID: 104698, Feb. 2020.

[16] C. Vudadha, *et al*., "Design of CNFET based ternary comparator using grouping logic," in *Proc. IEEE Faible Tension Faible Consommation*, 4 pp., Paris, France, 6-8 Jun. 2012.

[17] M. Shahangian, S. A. Hosseini, and R. F. Mirzaee, "A universal method for designing multi-digit ternary to binary converter using CNTFET," *J. of Circuits, Systems, and Computers*, vol. 29, no. 12, Article ID: 2050196, 2020.

[18] H. N. Venkata, *Ternary and Quaternary Logic to Binary Bit Conversion CMOS Integrated Circuit Design Using Multiple Input Floating Gate MOSFETs*, LSU Master's Theses, 2002.

[19] S. A. Ebrahimi, M. R. Reshadinezhad, A. Bohlooli, and M. Shahsavari, "Efficient CNTFET-based design of quaternary logic gates and arithmetic circuit," *Microelectron. J.*, vol. 53, pp. 156-166, Jul. 2016.

[20] D. A. Rich, "A survey of multivalued memories," *IEEE Trans. Comput.*, vol. 35, no. 2, pp. 99-106, Feb. 1986.

[21] G. Malinowski, *A Philosophy of Many-Valued Logic. The Third Logical Value and Beyond*, the Golden Age of Polish Philosophy: Kazimierz Twardowski's Philosophical Legacy, pp. 81-92, 2009.

[22] A. Fathi, B. Mashoufi, and Z. Hejabri, "Low-power min/max architecture in 32 nm CNTFET technology for fuzzy applications based on a novel comparator," *International J. of Nano Dimension*, vol. 13, no. 2, pp. 235-243, Spring 2022.

[23] V. Sulochana, C. Venkataiah, S. Agrawal, and B. Singh, "Novel circuit model of multi-walled CNT bundle interconnects using multi-valued ternary logic," *IETE J. of Research*, vol. 69, no. 3, pp. 1328-1340, 2023.

[24] Y. Pendashteh and S. A. Hosseini, "Novel low-complexity and energy-efficient fuzzy min and max circuits in nanoelectronics," *AEU-International J. of Electronics and Communications*, vol. 138, Article ID: 153858, Aug. 2021.

[25] Stanford Nanoelectronics Lab., *Downloads*, Available online at: http://nano.stanford.edu/model.php?id=23.

[26] J. Deng and H. S. P. Wong, "A compact SPICE model for carbonnanotube field-effect transistors including nonidealities and its application-part i: model of the intrinsic channel region," *IEEE Trans. Electron Device*, vol. 54, no. 12, pp. 3186-3194, Dec. 2007.

[27] J. Deng and H. S. P. Wong, "A compact SPICE model for carbonnanotube field-effect transistors including nonidealities and its application-part ii: full device model and circuit performance benchmarking," *IEEE Trans. Electron Device*, vol. 54, no. 12, pp. 3195-3205, Dec. 2007.

ابراهیم فرجی گنبری دانش آموخته دانشگاه شهید مدنی تبریز در رشته مهندسی برق می‌باشد. ایشان تحصیلات خود را در سه دوره دانشگاهی در مقاطع کاردانی ،کارشناسی ناپیوسته و کارشناسی ارشد به شرح ذیل به پایان رسانده است:
مقطع کاردانی ۱۳۹۵-۱۳۹۴: از دانشکده فنی کشاورزی مراغه در رشته برق صنعتی
مقطع کارشناسی ۱۳۹۷-۱۳۹۶: از دانشکده فنی شهید قاضی طباطبایی ارومیه در رشته مهندسی تکنولوژی الکترونیک
مقطع کارشناسی ارشد ۱۴۰۱-۱۳۹۹: از دانشگاه شهید مدنی تبریزدر رشته مدارات مجتمع الکترونیک
درحال حاضر زمینه فعالیت‌های او طراحی مقایسه‌کننده‌های چندسطحی با استفاده از تکنولوژی ترانزیستورهای نانولوله کربنی هست و علاقه‌مندی وی در زمینه‌های الکترونیک دیجیتال، اتوماسیون برق صنعتی، هوشمند سازی منازل می‌باشد.

موسی یوسفی تحصیلات خود را در مقطع کارشناسی در سال ۱۳۸۲ از دانشگاه ارومیه و در سال‌های ۱۳۸۵ و ۱۳۹۴ به ترتیب مقاطع کارشناسی ارشد و دکتری مهندسی برق الکترونیک را در دانشگاه تبریز به پایان رسانده است. وی بین سال‌های ۱۳۸۸ تا ۱۳۹۲ عضو هیأت علمی و مدیر آموزش دانشگاه آزاد اسلامی واحد ایلخچی بود و از سال ۱۳۹۴ عضو هیأت علمی گروه مهندسی برق دانشکده فنی و مهندسی دانشگاه شهید مدنی آذربایجان می‌باشد. ایشان نویسنده یا همکار نویسنده در بیش از ۳۰ مقاله درسطوح ملی و بین‌المللی بوده و همچنین در چندین پروژه تحقیقاتی همکاری داشته است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدارات مجتمع الکترونیک آنالوگ، RF و دیجیتال است.

خلیل منفردی مدرک کارشناسی، کارشناسی ارشد و دکتری خود را به‌ترتیب از دانشگاه تبریز در سال ۱۳۸۱ و از دانشگاه علم و صنعت ایران در سال‌های ۱۳۸۳ و ۱۳۹۰ دریافت کرد. وی از سال ۱۳۸۰ تا ۱۳۹۰ در گروه الکترونیک مرکز تحقیقات الکترونیک دانشگاه علم و صنعت ایران و همچنین از سال ۱۳۸۵ تا ۱۳۹۱ به عنوان عضو هیأت علمی در دانشگاه آزاد اسلامی واحد میاندوآب خدمت نمود. همچنین از سال ۱۳۸۸ تا ۱۳۹۰ در سمت معاون آموزشی و پژوهشی دانشکده سماء میاندوآب و از سال ۱۳۹۰ تا ۱۳۹۱ به عنوان معاونت کل آموزشی دانشکده سما میاندوآب مشغول فعالیت بود. وی در حال حاضر عضو هیأت علمی دانشکده مهندسی برق و الکترونیک، دانشگاه شهید مدنی آذربایجان، تبریز، ایران است. وی از سال ۱۳۹۶ دانشیار دانشکده فنی و مهندسی دانشگاه شهید مدنی آذربایجان است. ایشان نویسنده یا همکار نویسنده در بیش از ۳۰ مقاله در سطوح ملی و بین‌المللی بوده و همچنین در چندین پروژه تحقیقاتی همکاری داشته است. وی همچنین موسس گروه الکترونیک دانشگاه آزاد اسلامی واحد میاندوآب و رئیس علمی کنفرانس الکترونیک و کامپیوتر (ECSC2010) در سال ۱۳۸۹ در دانشگاه آزاد اسلامی واحد میاندوآب بوده است. علایق تحقیقاتی فعلی او شامل طراحی مدار مجتمع حالت جریان، مدار و سیستم‌های ولتاژ پایین، میکروالکترونیک آنالوگ و مبدل‌های داده است.