مقاوم‌سازی انتخابی مشاهده‌پذیر و بهینه مدارهای ترکیبی در برابر خطای نرم

راهبه نیارکی اصلی و هومن سالمی

چکیده: کاهش مقیاس تکنولوژی و کاهش سطوح ولتاژ باعث حساس‌تر شدن گره‌های مدارات مجتمع و رشد فزاینده خطای نرم در آنها شده است. خطای نرم سبب اختلال گذرا در کار مدار می‌گردد و اهمیت آن در مدارهای ترکیبی با افزایش فرکانس کاری بیشتر می‌شود. در این مقاله روشی بهینه برای مقاوم‌سازی مدارات ترکیبی در برابر خطای نرم ارائه شده است. بهینه‌سازی روش پیشنهادی در سه مرحله انجام می‌گیرد. ابتدا با محاسبات مشاهده‌پذیری، اولویت گره‌های مدار از نظر مقاوم‌سازی تعیین می‌گردد. سپس به منظور بهینه‌نمودن پارامتر توان- تأخیر و سطح مصرفی مدار، قابلیت اطمینان مدار اندازه‌گیری می‌شود و با توجه به آن، تعداد گره‌های لازم برای مقاوم‌سازی تعیین می‌گردد. در مرحله بعد، گره‌های انتخابی از مدارهای استاندارد آزمون با سه روش مختلف که شامل افزونگی زمانی، اشمیت تریگر و پسخورد ترانزیستوری می‌باشند مقاوم‌سازی می‌شوند. مقایسه سه روش نشان می‌دهد که مدار مقاوم‌شده با اشمیت تریگر، دارای بیشترین بار بحرانی و کمترین فاکتور توان- تأخیر است. همچنین نتایج شبیه‌سازی تأیید می‌کند که مقاوم‌سازی بهینه حاصل انتخاب مناسب تعداد گره‌های لازم با استفاده از مفهوم مشاهده‌پذیری و محاسبات قابلیت اطمینان همراه با نوع مناسب مقاوم‌سازی گره می‌باشد. اجرای روش پیشنهادی بر روی مدارهای تحت آزمون از ISCAS۸۵ مؤثربودن روش را تأیید می‌کند. همچنین شبیه‌سازی مونت کارلو نشان می‌دهد که روش پیشنهادی در برابر تغییرات فرایند مقاوم است.

کلیدواژه: **خطای نرم، مدار ترکیبی، مشاهده‌پذیری، قابلیت اطمینان، بار بحرانی.**

۱- مقدمه

با پیشرفت تکنولوژی به سمت محدوده نانومتر، قابلیت اطمینان سیستم‌های CMOS در حوزه U/VLSI به نگرانی اصلی فعالان این حوزه تبدیل شده است. یکی از اصلی‌ترین عوامل کاهش قابلیت اطمینان، برخورد ذرات باردار ناشی از تشعشعات کیهانی است که ایجاد خطای نرم می‌کند. خطاهای نرم، نتیجه برخورد ذراتی هستند که عمدتاً شامل موارد زیر می‌باشند: ۱) ذرات آلفای ناشی از تجزیه ایزوتوپ‌های ناپایدار موجود در بسته‌بندی قطعات، ۲) اشعه‌های کیهانی که پروتون‌ها و نوترون‌های پرانرژی تولید می‌کنند و ۳) نوترون‌های حرارتی [۱].

ذرات آلفا به عنوان یک منبع اصلی ایجاد خطای نرم در الکترونیک، محسوب می‌شوند. یک ذره آلفا شامل یک هسته بوده که توسط دو نوترون و دو پروتون شکل گرفته و با فروپاشی هسته‌ای ایزوتوپ‌های ناپایدار رادیواکتیویته مانند اورانیوم ۲۳۸ یا توریوم ۲۳۲ در بسته‌بندی‌های مدارات مجتمع و سرب ۲۱۰ در قطعات لحیم تشعشع پیدا می‌کنند. ذرات آلفا غالباً در سطوح انرژی کمتر از MeV ۱۰ تولید می‌گردند و از طریق یونیزاسیون مستقیم و غیر مستقیم ایجاد بار می‌نمایند. از منابع دیگر خطای نرم، نوترون‌های حرارتی و اشعه‌های کیهانی هستند که پروتون‌ها و نوترون‌های پرانرژی تولید می‌کنند [۲].

تحقیقات نشان می‌دهد که خطای نرم در مدارات ترکیبی به طور خطی با فرکانس افزایش می‌یابد [۳]. اگر ذره‌ای به گره‌ای از مدار ترکیبی برخورد نماید و پالس ناخواسته‌ای تولید شود، در صورتی که این پالس توسط تضعیف الکتریکی، پوشش منطقی یا پوشش زمانی از بین نرود [۴] و در عنصر حافظه‌داری ذخیره شود، خطای نرم رخ می‌دهد.

در این مقاله یک روش مشاهده‌پذیر انتخابی بهینه برای مقاوم‌سازی مدارات ترکیبی در برابر خطای نرم معرفی می‌شود. در روش پیشنهادی ابتدا اولویت گره‌های مدار ترکیبی از مشاهده‌پذیری مدار به دست آمده و با استفاده از قابلیت اطمینان مدار، تعداد گره‌های مورد نیاز برای مقاوم‌سازی تعیین می‌گردد. سپس نتایج حاصل از اعمال سه روش مختلف مقاوم‌سازی گره‌های مدارات ترکیبی را بر تعدادی از مدارهای استاندارد آزمون با یکدیگر مقایسه و تحلیل می‌کنیم و در نهایت پس از بهینه‌سازی مدار با استفاده از محاسبات قابلیت اطمینان به ارائه نتایج حاصل از روش پیشنهادی و کارایی بالای مدار در برابر تغییرات فرایند می‌پردازیم.

در بخش دوم این مقاله برخی از مهم‌ترین کارهای انجام‌شده در این حوزه مورد بررسی قرار می‌گیرند. بخش سوم به معرفی الگوریتم پیشنهادی برای مقاوم‌سازی انتخابی گره‌های مدار اختصاص دارد که در این بخش محاسبات مربوط به بخش‌های مختلف الگوریتم پیشنهادی تشریح می‌گردد. در بخش چهارم، شبیه‌سازی، مقایسه و انتخاب روش مناسب برای مقاوم‌سازی گره‌های انتخاب‌شده ارائه می‌گردد. در این بخش همچنین نتایج آنالیز مونت کارلو برای مدارهای مقاوم پیشنهادی در برابر تغییرات فرایند ارائه شده است. بخش پنجم به جمع‌بندی و نتیجه‌گیری اختصاص داده شده است.

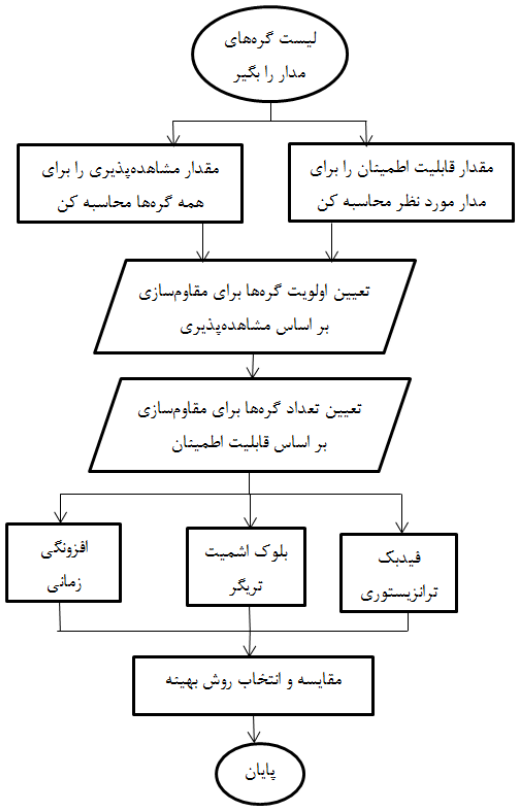
۲- مروری بر روش‌های پیشین

یکی از روش‌های معروف در زمینه آشکارسازی و تصحیح خطای نرم، روش افزونگی زمانی است [۱]. در روش مذکور برای هر خروجی مدار ترکیبی، علاوه بر مسیر مستقیم، یک مسیر تأخیردار نیز قرار می‌گیرد و در انتها هزاردهای به وجود آمده توسط یک گیت NAND و NOR حذف می‌گردند. روش دیگری تحت عنوان روش افزونگی مساحت نیز وجود دارد که در آن برای تصحیح خطای نرم از عنصر C استفاده شده است [۵]. عنصر C مداری است متشکل از چهار ترانزیستور و هنگامی که دو ورودی آن مشابه باشد، این المان به عنوان معکوس‌کننده عمل می‌کند و چنانچه ورودی‌ها متفاوت باشند، خروجی قبلی را نگه می‌دارد. در این

این مقاله در تاریخ ۲۲ آبان ماه ۱۳۹۵ دریافت و در تاریخ ۲۵ فروردین ماه ۱۳۹۶ بازنگری شد.

راهبه نیارکی اصلی، گروه برق، دانشکده فنی، دانشگاه گیلان، رشت، (email: niaraki@guilan.ac.ir).

هومن سالمی، کارشناس ارشد مهندسی الکترونیک دانشکده فنی، دانشگاه گیلان، رشت، (email: hoomansalemi@gmail.com).



شکل ۱: الگوریتم روش پیشنهادی.

روش، یک کپی از مدار گرفته و خروجی آنها با هم مقایسه و نهایتاً توسط یک عنصر C خروجی نهایی مدار تعیین و خطای نرم حذف می‌شود.

افزایش عرض کانال ترانزیستور، یکی دیگر از راه‌های مقابله با خطای نرم است [۶]. ویژگی اصلی این روش، توانایی یافتن حداقل عرض قابل قبول برای گیت ترانزیستور است به گونه‌ای که بتواند هزارد وارده را قبل از انتشار آن به خروجی مدار از بین ببرد. یک روش رایج برای مقابله با خطای نرم استفاده از پسخورد ترانزیستوری است [۷]. پسخورد ترانزیستوری که به سلول RADJAM معروف است شامل دو وارونگر بوده که از نظر اندازه به گونه‌ای طراحی می‌گردند که هزارد به وجود آمده را در نقطه مزبور به بهترین شکل ممکن تضعیف نمایند. روش رایج دیگر استفاده از اشمیت تریگر برای تصحیح خطای نرم است [۸]. در این مدار ابتدا هزارد ورودی به کمک یک فیلتر پایین‌گذر تضعیف می‌شود. پس از این تضعیف، اشمیت تریگر خطای نرم تضعیف‌شده را با استفاده از خاصیت هیسترزیس خود به صورت کامل از بین می‌برد. در [۹] محاسبه قابلیت اطمینان مدارهای دیجیتالی که مقاوم‌سازی آنها با استفاده از مدارهای آنالوگ انجام می‌شود با استفاده از آنالیز مونت کارلو ارائه شده است.

اعمال هر یک از روش‌های ذکرشده در تمامی نقاط مدار، علاوه بر هزینه اضافی موجب به وجود آمدن مساحت اضافی در مدار شده و تأخیر بالایی در عملکرد آن ایجاد می‌کنند. علاوه بر آن برخی از گره‌های مداری دارای ساختار خاص و ظرفیت خازنی مناسبی هستند به گونه‌ای که نیاز بسیار کمتری به مقاوم‌سازی دارند. لذا برای محدودکردن تعداد گره‌های لازم برای مقاوم‌سازی از روش‌های انتخابی استفاده می‌شود [۱۰].

قابلیت اطمینان نسبی، معیاری برای طبقه‌بندی مدارها در روش‌های انتخابی محسوب می‌شود [۱۱]. برای پیداکردن مقدار قابلیت اطمینان از ماتریس انتقال احتمال (PTM)[1] استفاده می‌گردد که در آن قابلیت اطمینان سیگنال به عنوان احتمال انتقال مقدار صحیح توسط سیگنال تعریف می‌شود و ماتریس قابلیت اطمینان سیگنال‌ها به صورت ۲×۲ تشکیل می‌گردد. حال چنانچه دو ماتریس ورودی یک گیت را داشته باشیم، با استفاده از ضرب کرونکر و ضرب ماتریسی می‌توانیم ماتریس قابلیت اطمینان را در خروجی آن به دست آوریم. روش رایج دیگر، استفاده از پارامتر احتمال خطا (POF)[2] برای طبقه‌بندی گره‌های مداری است [۱۲]. مقدار POF بیانگر میزان احتمال وقوع خطا است و هرچه احتمال وقوع خطای یک المان بالاتر باشد، آن المان نیاز بیشتری به محافظت و مقاوم‌سازی در برابر خطای نرم دارد. با این روش، پس از این که POF همه المان‌ها به دست آمد به صورت یک لیست نزولی مرتب می‌گردد. در این حالت بالاترین المان لیست، حساس‌ترین المان بوده و بیشترین نیاز به مقاوم‌سازی را در برابر خطای نرم داراست. پس از این که نقاط حساس به دست آمدند روش مقاوم‌سازی مبنی بر افزایش اندازه عرض ترانزیستور بر روی آنها اعمال می‌گردد.

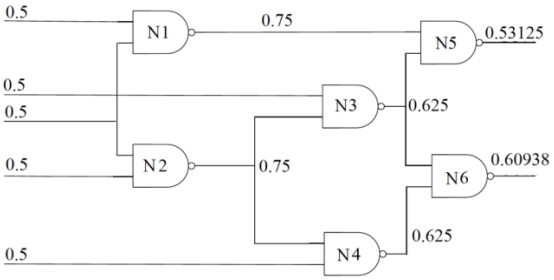
۳- الگوریتم روش مقاوم‌سازی پیشنهادی با استفاده از مفاهیم مشاهده‌پذیری و قابلیت اطمینان

مبنای روش پیشنهادی استفاده از مشاهده‌پذیری در انتخاب گره‌های با اولویت بالاتر برای اعمال مقاوم‌سازی است. در این راستا با استفاده از روش مناسب مقاوم‌سازی و قابلیت اطمینان[3] مدار برای رسیدن به نرخ خطای نرم (SER)[4] استفاده می‌کنیم. الگوریتم روش پیشنهادی در شکل ۱ آورده شده است. همان طور که در این شکل ملاحظه می‌گردد ابتدا لیست گره‌های مدار گرفته شده و مقادیر احتمال سیگنال و سپس مشاهده‌پذیری برای گره‌های مدار محاسبه می‌گردد و به صورت یک لیست نزولی از بالاترین مقدار به پایین‌ترین مقدار مرتب می‌شوند. بر مبنای این لیست، اولویت گره‌ها برای مقاوم‌سازی تعیین می‌شود. از طرف دیگر مقدار قابلیت اطمینان برای مدار مورد نظر محاسبه می‌گردد و با توجه به مقدار به دست آمده، تعداد گره‌های لازم برای مقاوم‌سازی معین می‌گردد. در ادامه با انجام روش‌های مقاوم‌سازی مختلف و شبیه‌سازی آنها، پارامترهای مختلف مداری مورد بررسی قرار گرفته شده و روش بهینه انتخاب می‌گردد. در ادامه به تشریح روش پیشنهادی می‌پردازیم.

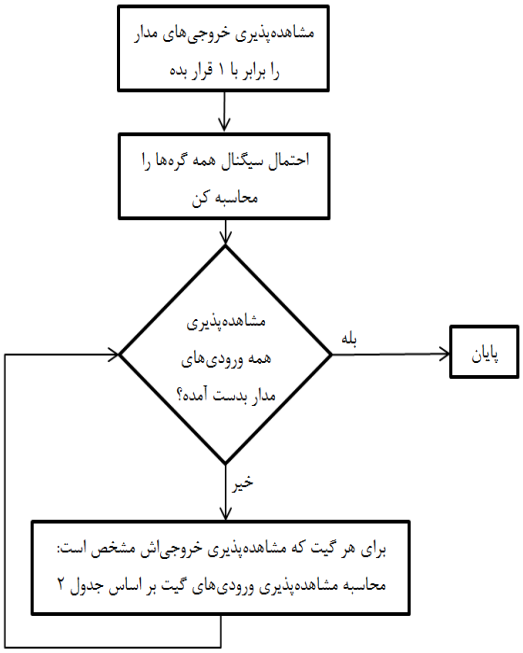
۳-۱ محاسبه مشاهده‌پذیری در مدارات ترکیبی

احتمال سیگنال یک گیت به صورت احتمال '۱'شدن خروجی گیت مذکور بر حسب ورودی‌های مختلف آن تعریف می‌شود و چون یک پارامتر احتمالی است، عددی در بازه صفر تا یک است [۱۳]. جدول ۱ مقدار احتمال وقوع هر یک از حالات منطقی را برای خروجی گیت‌های مختلف نشان می‌دهد. در این جدول a و b ورودی‌های گیت و w خروجی گیت در نظر گرفته شده است. $P1(w)$ احتمال '۱'بودن خروجی و $P0(w)$ احتمال '۰'بودن خروجی است. غالباً احتمال '۱'بودن ورودی‌ها برابر با ۰/۵ در نظر گرفته می‌شود. برای محاسبه احتمال سیگنال برای هر گره از مدار با فرض احتمال ۰/۵ برای هر ورودی، از سمت ورودی مدار به سمت خروجی آن حرکت کرده و در این مسیر با رسیدن به هر گیت، با توجه به رابطه احتمال سیگنال که در جدول ۱ آورده شده است، مقدار این پارامتر برای گره خروجی گیت مذکور محاسبه می‌شود. شکل ۲ مدار C۱۷

1. Probability Transfer Matrix
2. Probability of Failure
3. Reliability
4. Soft Error Rate



شکل ۲: محاسبه احتمال سیگنال برای گره‌های مختلف مدار C۱۷.



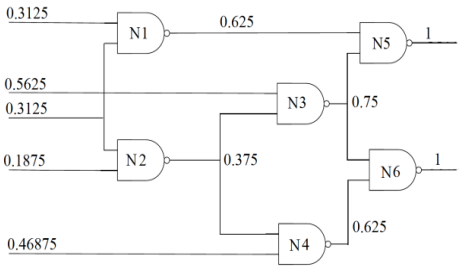
شکل ۳: الگوریتم محاسبه مشاهده‌پذیری برای گره‌های یک مدار.

که یکی از مدارهای استاندارد آزمون [۱۴] است را نشان می‌دهد. مقادیر احتمال گره‌های آن مطابق جدول ۱ محاسبه شده است. مشاهده‌پذیری منطقی یک گیت به عنوان میزان دشواری مشاهده تغییر مقداری از ورودی در خروجی آن تعریف می‌شود و عددی بین صفر و یک است. خروجی‌های یک مدار به عنوان سخت‌ترین نقاط برای مشاهده‌پذیری به حساب می‌آیند و به همین دلیل در محاسبات، مقدار مشاهده‌پذیری برای خروجی‌ها برابر ۱ در نظر گرفته می‌شود.

الگوریتم احتمال تجمعی مشاهده‌پذیری (CPO)[1] محاسبه مشاهده‌پذیری در یک مدار را به صورت یک رویکرد بازگشتی از خروجی‌های مدار به ورودی‌های آن بیان می‌کند [۱۳]. مقدار مشاهده‌پذیری برای خروجی‌های اولیه مدار برابر با ۱ در نظر گرفته می‌شود و مقدار مشاهده‌پذیری برای هر ورودی، حاصل‌ضرب مقدار مشاهده‌پذیری خروجی آن گیت در احتمال سیگنال ورودی‌های دیگر گیت است. همچنین مقدار مشاهده‌پذیری برای رشته‌ای از شاخه‌ها که در یک گره به هم متصل شده‌اند، به صورت بیشترین مقدار مشاهده‌پذیری تمامی شاخه‌های متصل به آن گره در نظر گرفته می‌شود. جدول ۲ مقدار مشاهده‌پذیری را برای ورودی‌های گیت‌های مختلف نشان می‌دهد.

برای روش پیشنهادی برنامه الگوریتم محاسبه مشاهده‌پذیری گره‌های یک مدار که در شکل ۳ نشان داده شده است با C++ نوشته شد و برای مدارهای تحت آزمایش مورد استفاده قرار گرفت.

1. Cumulative Probability of Observability



شکل ۴: محاسبه مشاهده‌پذیری برای مدار نمونه.

جدول ۱: احتمال سیگنال برای هر حالت از خروجی سیگنال‌های مختلف.

نوع گیت	$P1(w)$	$P0(w)$
NOT	$1-P1(a)$	$1-P1(w)$
AND	$P1(a)\times P1(b)$	$1-P1(w)$
NAND	$1-P0(w)$	$P1(a)\times P1(b)$
OR	$1-P0(w)$	$P0(a)\times P0(b)$
NOR	$P0(a)\times P0(b)$	$1-P1(w)$

جدول ۲: مشاهده‌پذیری برای ورودی‌های گیت‌های مختلف.

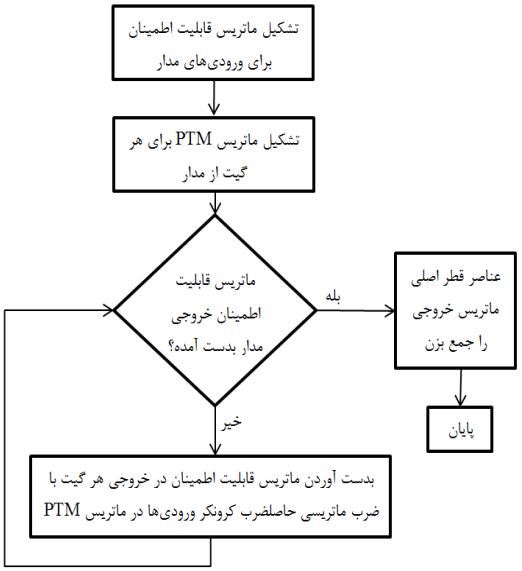
نوع گیت	$PO(a)$	$PO(b)$
NOT	$PO(w)$	–
AND	$P1(b)\times PO(w)$	$P1(a)\times PO(w)$
OR	$P0(b)\times PO(w)$	$P0(a)\times PO(w)$
NAND	$P1(b)\times PO(w)$	$P1(a)\times PO(w)$
NOR	$P0(b)\times PO(w)$	$P0(a)\times PO(w)$

مطابق شکل ۳ برای محاسبه مشاهده‌پذیری یک مدار ترکیبی متشکل از گیت‌های منطقی، ابتدا مقادیر احتمال سیگنال را برای گره‌های مختلف مدار به دست می‌آوریم و سپس همان طور که قبلاً اشاره شد مقدار مشاهده‌پذیری را در خروجی‌های مدار برابر با ۱ قرار می‌دهیم. سپس از سمت این خروجی به سمت ورودی‌های مدار برمی‌گردیم و در مسیر برگشت، مقدار مشاهده‌پذیری برای هر ورودی از گیت را مطابق با رابطه آورده‌شده در جدول ۲ محاسبه می‌کنیم و همین طور تا رسیدن به ورودی ادامه می‌دهیم. شکل ۴ مقادیر مشاهده‌پذیری یک مدار نمونه را نشان می‌دهد. بالاتر بودن مقدار مشاهده‌پذیری یک گره بیانگر آن است که گره مذکور از اولویت بالاتری در اعمال روش مقاوم‌سازی مناسب در برابر خطای نرم ناشی از تشعشعات برخوردار است.

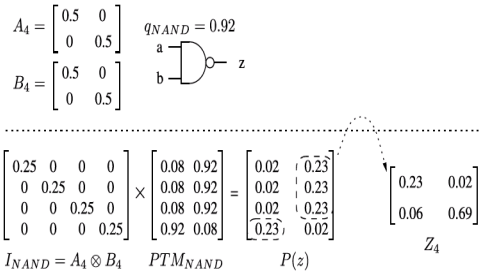
۳-۲ محاسبه قابلیت اطمینان در مدارات ترکیبی

احتمال صحیح‌بودن خروجی یک مدار را قابلیت اطمینان مدار مذکور می‌گویند. در واقع قابلیت اطمینان سیستم بیانگر درجه اعتمادی است که به خروجی مشاهده‌شده توسط سیستم داریم. بدین معنی که هرچه قابلیت اطمینان یک مدار بالاتر باشد احتمال آن که مدار مذکور خروجی صحیح را تحویل دهد، بالاتر است و قابلیت اطمینان معیاری برای اندازه‌گیری آسیب‌پذیری یک مدار در برابر خطاهای دایم و موقت به شمار می‌رود [۱۵].

قابلیت اطمینان یک سیگنال احتمال انتقال مقدار صحیح سیگنال است. چنانچه سیگنال مورد نظر را x فرض کنیم، x می‌تواند چهار مقدار مختلف را اخذ نماید: صفر صحیح (0_C)، یک صحیح (1_C)، صفر غیر صحیح (0_i) و یک غیر صحیح (1_i). حال چنانچه احتمال وقوع این چهار رخداد را در قالب یک ماتریس نشان دهیم این ماتریس به صورت زیر خواهد بود



شکل ۵: الگوریتم محاسبه قابلیت اطمینان برای یک مدار ترکیبی.



شکل ۶: به دست آوردن قابلیت اطمینان در خروجی یک گیت NAND.

$$\begin{bmatrix} P(x=0_C) & P(x=1_i) \\ P(x=0_i) & P(x=1_C) \end{bmatrix} = \begin{bmatrix} x_1 & x_2 \\ x_3 & x_4 \end{bmatrix} \quad (1)$$

قابلیت اطمینان برای سیگنال x را با R_x نشان داده و از رابطه زیر به دست می‌آید (در این رابطه P تابع احتمال است)

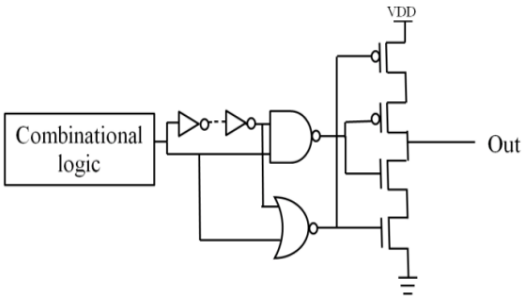
$$R_x = P(x=0_C) + P(x=1_C) = x_1 + x_3 \quad (2)$$

الگوریتم محاسبه قابلیت اطمینان یک مدار در شکل ۵ آمده است. برای به دست آوردن قابلیت اطمینان یک مدار از ورودی‌ها شروع کرده و به سمت خروجی‌ها حرکت می‌کنیم. ابتدا ماتریس قابلیت اطمینان را برای هر ورودی جداگانه نوشته و با ضرب کرونکر آنها در هم، ماتریس I یک گیت را به دست می‌آوریم. از طرف دیگر با توجه به قابلیت اطمینان گیت مورد نظر، ماتریس PTM آن را به دست می‌آوریم. اکنون با ضرب ماتریسی I در ماتریس PTM گیت مورد نظر ماتریس P حاصل می‌شود که با جمع عناصر ستون‌ها می‌توانیم به ماتریس قابلیت اطمینان در خروجی گیت مورد نظر برسیم. در شکل ۶ مثالی از محاسبه قابلیت اطمینان در خروجی یک گیت NAND نشان داده شده است. در این مقاله محاسبات قابلیت اطمینان با استفاده از نرم‌افزار Matlab انجام شد.

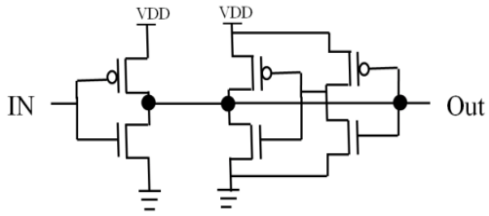
٤- شبیه‌سازی، مقایسه و انتخاب روش مناسب برای مقاوم‌سازی گره‌های انتخاب‌شده

٤-١ شرایط شبیه‌سازی و مقایسه نتایج

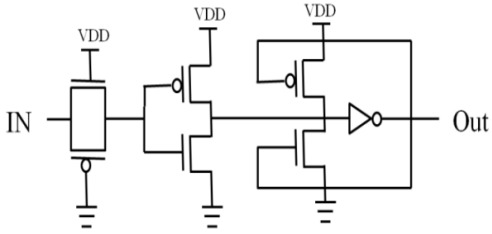
برای انتخاب روش مقاوم‌سازی، چند روش تحت آزمایش و شبیه‌سازی قرار گرفتند و طبق نتایج به دست آمده، روش بهینه انتخاب گردید.



شکل ۷: روش افزونگی زمانی [۵].



شکل ۸: روش پسخورد ترانزیستوری [۸].



شکل ۹: استفاده از بلوک اشمیت تریگر [۹].

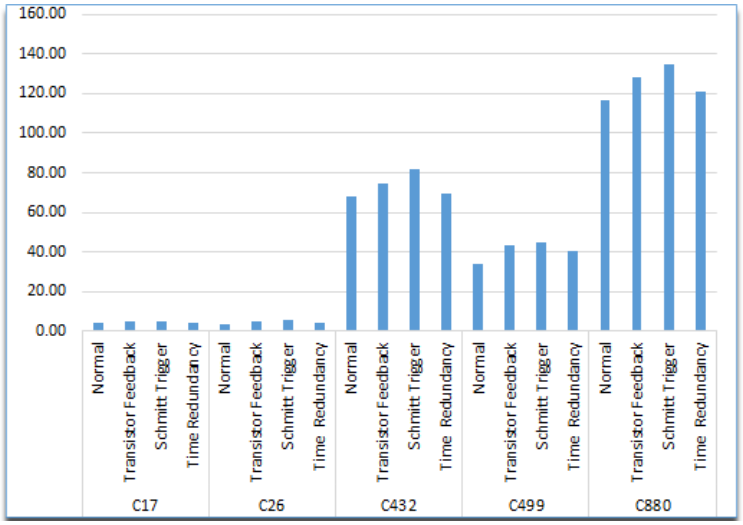
مدارهای مورد آزمایش، مدارهای C۱۷، C۲۶، C۴۳۲ و C۴۹۹ هستند که از مجموعه مدارهای ISCAS۸۵ انتخاب شده‌اند [۱۴]. برای پیاده‌سازی الگوریتم CPO به منظور یافتن نقاط آسیب‌پذیر مدار با استفاده از مشاهده‌پذیری منطقی، الگوریتم مذکور با استفاده از زبان برنامه‌نویسی C++ نوشته شد و لیست گره‌های مدار بر اساس اندازه مشاهده‌پذیری آن به ترتیب اولویت به دست آمد. در این مرحله برای هر مدار ۱۰٪ از گره‌های بالای لیست را برای مقاوم‌سازی انتخاب می‌کنیم که معادل با ۱ گره از مدار C۱۷، ۲ گره از مدار C۲۶، ۱۴ گره از مدار C۴۳۲، ۱۷ گره از مدار C۴۹۹ و ۴۴ گره از مدار C۸۸۰ است.

برای انتخاب روش حفاظتی مناسب، روش استفاده از افزونگی زمانی (شکل ۷)، پسخورد ترانزیستوری (شکل ۸) و بلوک اشمیت تریگر (شکل ۹) به گره‌های انتخاب‌شده مدارهای آزمون اعمال شدند. کلیه مدارها در تکنولوژی ۴۵ نانومتر و در محیط HSpice شبیه‌سازی شدند. برای انجام شبیه‌سازی، به ورودی‌ها سیگنال پالس ولتاژ با دامنه ۱ ولت و فرکانس‌هایی در محدوده ۵۷ تا ۱۲۵ مگاهرتز اعمال گردید. همچنین خطای نرمی که هر روش ملزم به حذف آن است به صورت پالس‌هایی با عرض پالس تا ۲۰۰ پیکوثانیه در نظر گرفته شد.

برای سنجش میزان مقاوم‌بودن مدار از پارامتر مجموع بار بحرانی استفاده نمودیم. برای این منظور، مدل اعمال ذرات آلفا را مطابق (۳) در نظر گرفتیم [۱۶]

$$I(t) = \frac{Q}{\tau_1 - \tau_2}\left(e^{-\frac{t}{\tau_1}} - e^{-\frac{t}{\tau_2}}\right) \quad (3)$$

در (۳)، Q بار توزیع‌شده در نتیجه برخورد و τ_1 و τ_2 ثوابت زمانی وابسته به پارامترهای تکنولوژی هستند.



شکل ۱۰: مقدار مجموع بار بحرانی مدارهای تحت آزمایش با روش‌های مختلف مقاوم‌سازی و مقایسه آنها با حالت عادی مدار.

جدول ۳: نتایج شبیه‌سازی‌های روش‌های مختلف بر روی گره‌های انتخابی.

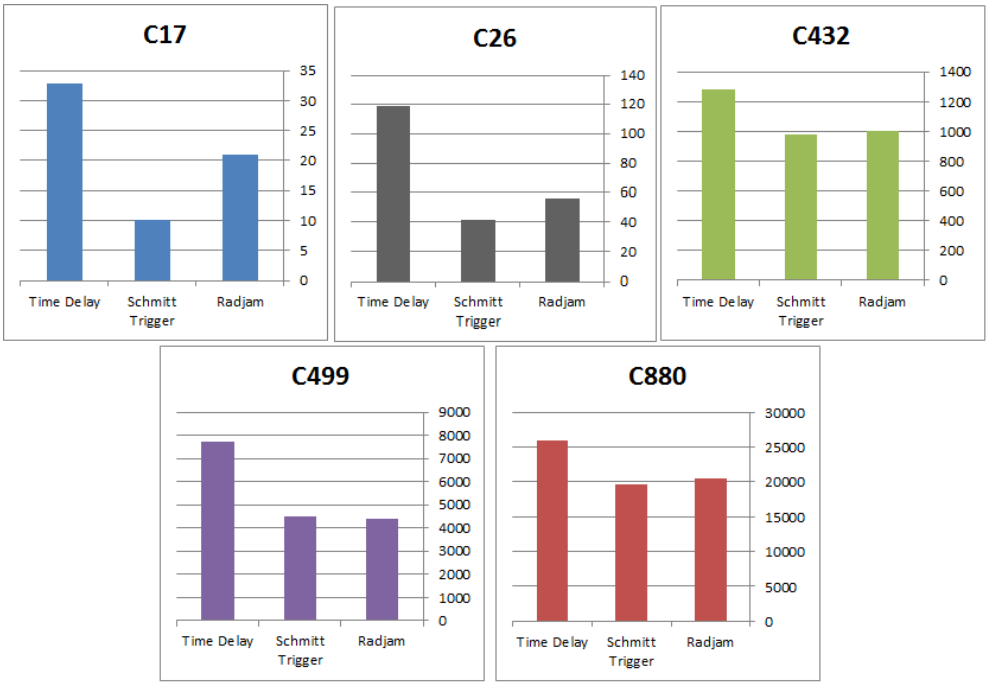
مدار	روش مقاوم‌سازی	پارامتر			
		مجموع بار بحرانی (pc)	توان (µw)	مجموع تأخیر (ns)	PDP
مدار C۱۷	Normal	۳٫۹۹	۲۹	–	–
	Transistor Feedback	۴٫۶۵	۳۲٫۱۸	۰٫۲۵	۸٫۰۵
	Schmitt Trigger	۵٫۱۰	۳۴٫۲۳	۰٫۰۸	۲٫۷۴
	Time Redundancy	۴٫۲۴	۴۹٫۳۸	۰٫۴۲	۲۰٫۷۴
مدار C۲۶	Normal	۳٫۷۴	۸۱٫۲۵	–	–
	Transistor Feedback	۴٫۷۶	۹۲٫۷۷	۰٫۳۳	۳۰٫۶۱
	Schmitt Trigger	۵٫۲۶	۹۳٫۳۸	۰٫۲۳	۲۱٫۴۷
	Time Redundancy	۳٫۹۸	۱۲۳٫۷	۰٫۸۱	۱۰۰٫۲
مدار C۴۳۲	Normal	۶۸٫۰۶	۸۶۳	–	–
	Transistor Feedback	۷۴٫۷۸	۹۰۲	۲٫۷۳	۲۴۶۲
	Schmitt Trigger	۸۱٫۷۳	۹۳۷	۱٫۰۴	۹۷۵
	Time Redundancy	۶۹٫۵۵	۱۱۲۶	۲٫۴۵	۲۷۵۹
مدار C۴۹۹	Normal	۳۳٫۹	۱۹۳۲	–	–
	Transistor Feedback	۴۳٫۷	۱۹۵۶	۳٫۰۷	۶۰۰۵
	Schmitt Trigger	۴۴٫۷۸	۲۰۲۸	۱٫۲۸	۲۶۰۴
	Time Redundancy	۴۰٫۷	۲۲۷۱	۲٫۸۹	۶۵۶۳
مدار C۸۸۰	Normal	۱۱۶٫۸	۲۷۵۶	–	–
	Transistor Feedback	۱۲۸٫۴	۲۹۰۲	۴٫۰۳	۱۱۲۹۳
	Schmitt Trigger	۱۳۴٫۶	۳۰۳۲	۲٫۵۸	۷۸۲۳
	Time Redundancy	۱۲۱٫۲	۳۳۳۹	۶٫۷۸	۲۲۶۳۹

از پارامترهای دیگر مورد سنجش، توان مصرفی، مجموع تأخیر مدار و حاصل‌ضرب توان- تأخیر (PDP) است. جدول ۳ نتایج شبیه‌سازی روش‌های مختلف بر روی گره‌های انتخابی مدارهای تحت آزمایش را نشان می‌دهد. نتایج شبیه‌سازی‌های موجود در جدول ۳ به صورت نمودارهای ستونی در شکل‌های ۱۰، ۱۱ و ۱۲ نشان داده شده است. شکل ۱۰ نمودار ستونی مقادیر مجموع بار بحرانی برای هر مدار به تفکیک روش مقاوم‌سازی در کنار حالت عادی مدار بدون مقاوم‌سازی را نشان می‌دهد. مطابق شکل در هر پنج مدار تحت آزمایش، بیشترین افزایش بار بحرانی با استفاده از اشمیت تریگر حاصل می‌شود و بنابراین بیشترین بهبود در SER مدار توسط این روش حاصل می‌گردد. در مرتبه بعدی روش پسخورد ترانزیستوری قرار دارد.

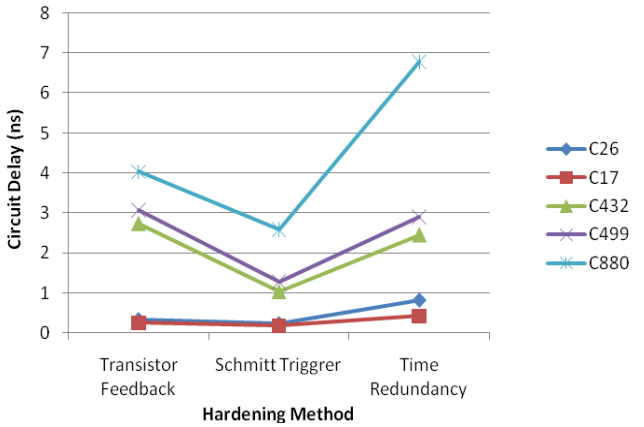
در شکل ۱۱ مقدار تأخیر روش‌های سه‌گانه برای مدارات تحت آزمایش آورده شده است. کمترین مقدار مجموع تأخیر برای هر مدار با استفاده از اشمیت تریگر حاصل شده و هرچه که مدار بزرگ‌تر می‌شود، اختلاف تأخیر این روش با سایر روش‌ها مشهودتر می‌گردد.

همچنین جدول ۳ نشان می‌دهد که روش پسخورد ترانزیستوری کمترین میزان توان مصرفی را داراست و از طرفی بلوک اشمیت تریگر کمترین تأخیر را دارد. بنابراین انتخاب روش بهینه را با استفاده از حاصل‌ضرب توان تأخیر مورد نظر قرار می‌دهیم.

در شکل ۱۲ نمودار PDP برای مدارهای مختلف به تفکیک هر روش آورده شده است. با توجه به شکل مذکور ملاحظه می‌شود که مقدار پارامتر PDP برای بلوک اشمیت تریگر از سایر روش‌ها پایین‌تر است و این امر



شکل ۱۲: پارامتر PDP برای مدارهای مختلف به ازای اعمال روش‌های مختلف.



شکل ۱۱: مقادیر مجموع تأخیر مدارهای تحت آزمایش با روش‌های مختلف مقاوم‌سازی.

گواهی بر بهینه‌بودن استفاده از روش مذکور است. پس انتخاب این روش علاوه بر داشتن بار بحرانی بالاتر که منجر به پایین‌آمدن SER می‌گردد و به معنی مقاوم‌شدن مدار در برابر خطای نرم است، همچنین در این حالت میزان تأخیر و PDP نیز کمتر است.

٤-۲ کاهش سطح مصرفی و بهبود PDP روش ارائه‌شده با استفاده از محاسبه قابلیت اطمینان مدار

در روش پیشنهادی که تاکنون مطرح نمودیم و همچنین روش‌های پیشین برای همه مدارها درصد یکسانی از گره‌ها برای مقاوم‌سازی انتخاب می‌شدند [۱۱] و [۱۲]. در این مرحله ما برای بهینه‌سازی بیشتر مدار مقاوم‌شده از نظر سطح مصرفی و فاکتور PDP از محاسبه قابلیت اطمینان مدار به عنوان مبنایی برای انتخاب تعداد مناسب گره‌های لازم استفاده می‌کنیم. برای این منظور پس از به دست آوردن لیست اولویت گره‌ها برای مقاوم‌سازی و مرتب‌نمودن آنها، قابلیت اطمینان مدار را که پیش‌تر شرح داده شد، محاسبه می‌نماییم. حال بر اساس مقدار به دست آمده برای قابلیت اطمینان، تصمیم می‌گیریم که چه درصدی از گره‌های موجود در لیست را برای مقاوم‌سازی انتخاب کنیم.

جدول ۴: مقدار قابلیت اطمینان برای مدارهای آزمون.

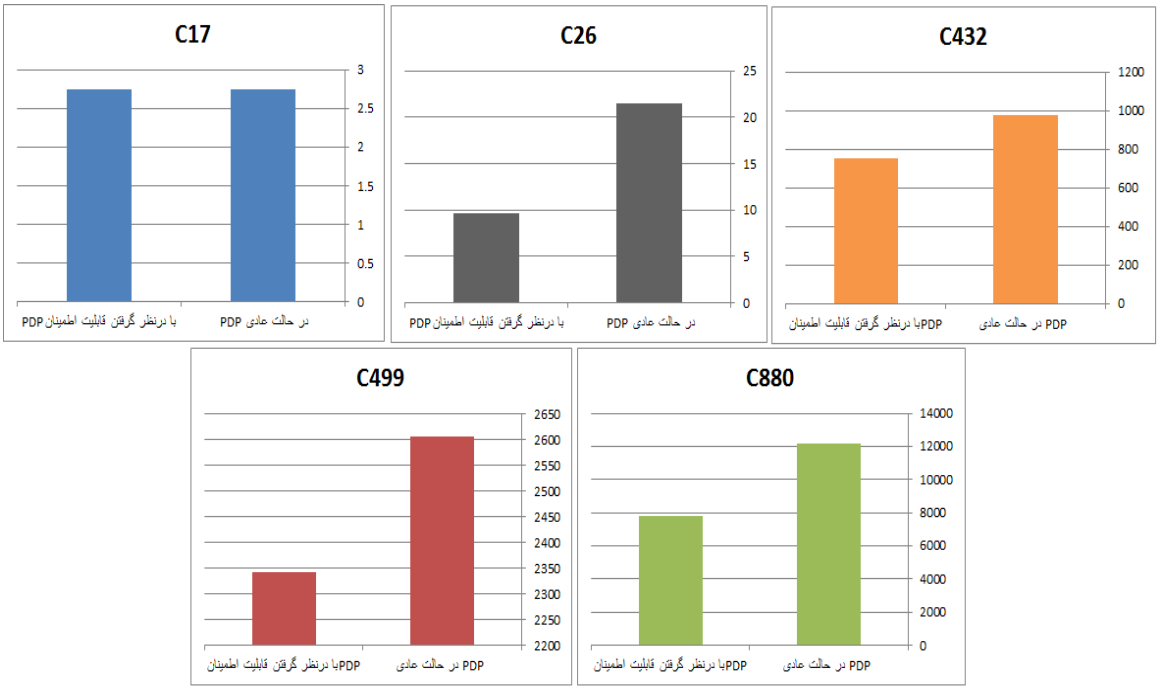
مدار	C۸۸۰	C۴۹۹	C۴۳۲	C۲۶	C۱۷
مقدار قابلیت اطمینان	۰/۷۸	۰/۷۹	۰/۷۳	۰/۷۶	۰/۸
درصد گره‌های انتخابی برای مقاوم‌سازی	۶	۶	۱۰	۸	۵

جدول ۵: مقایسه PDP مدار با و بدون در نظر گرفتن قابلیت اطمینان.

مدار	PDP بدون در نظر گرفتن قابلیت اطمینان	PDP با در نظر گرفتن قابلیت اطمینان	درصد بهینه‌سازی PDP
C۱۷	۲/۷۴	۲/۷۴	۰
C۲۶	۲۱/۴۷	۹/۶	۵۵
C۴۳۲	۹۷۵	۷۵۴	۲۳
C۴۹۹	۲۶۰۴	۲۳۴۳	۱۱
C۸۸۰	۱۲۲۰۳	۷۸۲۳	۳۶

جدول ۴ مقدار قابلیت اطمینان را برای مدارهای آزمون مورد نظر نشان می‌دهد. مداری که دارای قابلیت اطمینان بالاتری است، درصد کمتری از گره‌های آن نیاز به مقاوم‌سازی دارد. طبق این جدول، مدار C۱۷ بیشترین مقدار قابلیت اطمینان مربوطه را داراست و کمترین مقدار قابلیت اطمینان متعلق به مدار C۴۳۲ است. بر این اساس درصد تعداد گره‌های انتخابی برای مجموعه مدارات تحت آزمون در این مقاله بین ۵٪ تا ۱۰٪ به صورت خطی در نظر گرفته می‌شود.

جدول ۵ مقادیر جدید PDP را با در نظر گرفتن قابلیت اطمینان برای احتساب مقدار مناسب گره‌ها همراه با درصد تعداد گره‌های انتخابی برای هر مدار نشان می‌دهد. مطابق جدول، بهبود پارامتر PDP کاملاً مشهود است. نمودار مقایسه‌ای مقدار پارامتر PDP برای هر مدار، در شرایط قبل و بعد از اعمال قابلیت اطمینان در شکل ۱۳ آورده شده است. نکته دیگر این که با توجه به آن که با اعمال قابلیت اطمینان، تعداد گره‌های لازم برای مقاوم‌سازی کاهش پیدا می‌کند و نیز بلوک اشمیت تریگر خود متشکل از ۶ عدد ترانزیستور می‌باشد، سطح مصرفی متناسب با آن کاهش پیدا می‌کند.



شکل ۱۳: مقایسه PDP هر مدار قبل و بعد از اعمال قابلیت اطمینان.

جدول ۶: بررسی روش پیشنهادی در حضور تغییرات فرایند.

مدار	PDP روش پیشنهادی	PDP در حضور تغییرات فرایند
C۱۷	۲٫۷۴	۲٫۸۳
C۲۶	۹٫۶	۱۰٫۰۸
C۴۳۲	۷۵۴	۸۸۳
C۴۹۹	۲۳۴۳	۲۲۶۰
C۸۸۰	۷۸۲۳	۸۲۳۱

۴-۳ شبیه‌سازی تغییرات فرایند

جهت بررسی پایداری مدارهای مقاوم پیشنهادی در برابر تغییرات فرایند از تحلیل مونت کارلو استفاده شد. با توجه به بزرگ‌بودن مدارهای آزمون و طولانی‌بودن لیست گره‌های آنها، شبیه‌سازی‌ها برای ۳۰۰ نمونه اجرای مدار و به ازای تغییر در ولتاژ منبع تغذیه، عرض کانال و دما با استفاده از توزیع گوسی ۵٪ و تغییر ۳ سطح سیگما انجام شدند. جدول ۶ نتایج شبیه‌سازی‌های انجام‌شده را برای پارامتر PDP روش پیشنهادی در حالت عادی و با حضور تغییرات فرایند نشان می‌دهد. نتایج جدول نشان می‌دهد که روش پیشنهادی در برابر تغییرات فرایند از کارایی بالایی برخوردار است.

۵- نتیجه‌گیری

در این مقاله یک روش انتخابی مشاهده‌پذیر و بهینه برای مقاوم‌سازی مدارهای منطقی ترکیبی در برابر خطای نرم مطرح شد. بهینه سازی روش مقاوم‌سازی در سه مرحله و با استفاده از مفاهیم مشاهده‌پذیری، انتخاب روش مناسب مقاوم‌سازی و محاسبات قابلیت اطمینان انجام شد. در روش ارائه‌شده ابتدا با استفاده از محاسبات مشاهده‌پذیری گره‌های حساس مدار به ترتیب اولویت انتخاب شدند. مقاوم‌سازی ۱۰٪ گره‌های با اولویت بالا با سه روش مداری افزونگی زمانی، پسخورد ترانزیستوری و اشمیت تریگر نشان داد که روش انتخابی مشاهده‌پذیر با مقاوم‌سازی اشمیت تریگری گره‌ها بهترین نتایج را از نظر مجموع بار بحرانی گره‌ها و PDP مدار ارائه می‌دهد. سپس برای بهینه‌سازی بیشتر توان و سطح مصرفی، انتخاب درصد مناسبی از گره‌های مدار با توجه به قابلیت اطمینان مدار انجام شد. تمام مراحل روش با محاسبات کامپیوتری با برنامه‌نویسی C++ و Matlab و شبیه‌سازی‌های انجام‌شده بر مدارهای آزمون مورد بررسی و تأیید قرار گرفت. همچنین شبیه‌سازی‌های مونت کارلو نشان داد که روش انتخابی ارائه‌شده در برابر تغییرات فرایند نیز مقاوم بوده و از کارایی بالایی برخوردار است.

مراجع

[1] P. Mongkolkachit and B. Bhuva, "Design technique for mitigation of alpha-particle-induced single-event transients in combinational logic," *IEEE Trans. on Device and Materials Reliability*, vol. 3, no. 3, pp. 82-89, Sept.. 2003.

[2] D. B. Limbrick, N. N. Mahatme, W. H. Robinson, and B. L. Bhuva, "Reliability-aware synthesis of combinational logic with minimal performance penalty," *IEEE Trans. on Nuclear Science*, vol. 60, no. 4, pp. 2776-2781, Aug. 2013.

[3] N. N. Mahatme, *et al.*, "Analysis of soft error rates in combinational and sequential logic and implications of hardening for advanced technologies," in *Proc. IEEE Int. Reliability Physics Symp., IRPS'10*, pp. 1031-1035, Jun. 2010.

[4] N. George and J. Lach, "Characterization of logical masking and error propagation in combinational circuits and effects on system vulnerability," in *Proc. Int. Conf. on Dependable Systems & Networks*, pp. 323-334, Jun. 2011.

[5] S. Mitra, *et al.*, "Combinational logic soft error correction," in *Proc. IEEE Int. Test Conf.*, 9 pp., Oct. 2006.

[6] C. Lazzari, G. Wirth, F. L. Kastensmidt, L. Anghel, and R. A. Reis, "Asymmetric transistor sizing targeting radiation-hardened circuits," *Springer Electrical Engineering J.*, vol. 94, no. 1, pp. 11-18, Mar. 2012.

[7] K. Bhattacharya and N. Ranganathan, "RADJAM: a novel approach for reduction of soft errors in logic circuits," in *Proc. Int. Conf. on VLSI Design*, pp. 453-458, Jan. 2009.

[8] Y. Sasaki, K. Namba, and H. Ito, "Circuit and latch capable of masking soft errors with schmitt trigger," *Springer Electronic Testing J.*, vol. 24, no. 1-3, pp. 11-19, Jun. 2008.

[9] R. Niaraki Asli and S. Taghipour, "MOCA ARM: analog reliability measurement based on Monte Carlo analysis," *J. of Electrical and Computer Engineering Innovations*, vol. 4, no. 1, pp. 9-14, Autmn 2016.

[10] I. Polian and J. Hayes, "Selective hardening: toward cost-effective error tolerance," *IEEE Design Test of Computers*, vol. 28, no. 3, pp. 54-63, May-Jun. 2011.
[11] S. N. Pagliarini, L. A. Naviner, and J. F. Naviner, "Selective hardening methodology for combinational logic," *Latin American Test Workshop*, 6 pp., Quito, Ecuador,Apr. 2012.
[12] W. Sootkaneung and K. K. Saluja, "Soft error reduction through gate input dependent weighted sizing in combinational circuits," in *Proc. Int. Symp. on Quality Electronic Design, ISQED'11*, pp. 603-610, Mar. 2011.
[13] Z. Navabi, *Digital System Test and Testable Design*, Springer Science, New York, 2011.
[14] Benchmarksat, http://web.eecs.umich.edu/~jhayes/iscas.restore/benchmark.html
[15] D. T. Franco, M. C. Vasconcelos, L. Naviner, and J. F. Naviner, "Signal probability for reliability evaluation of logic circuits," *Microelectronics Reliability*, vol. 48, no. 8-9, pp. 1586-1591, Aug.-Sept. 2008.
[16] G. C. Messenger, "Collection of charge on junction nodes from ion tracks," *IEEE Trans. on Nuclear Science*, vol. 29, no. 6, pp. 2024-2031, Dec. 1982.

راهبه نیارکی اصلی تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی الکترونیک به‌ترتیب در سال‌های ۱۳۷۴ و ۱۳۷۸ از دانشگاه گیلان و در مقطع دکترای مهندسی برق سال ۱۳۸۶ از دانشگاه علم وصنعت ایران به پایان رسانده است. ایشان از سال ۸۶ تا کنون عضو هیات علمی دانشگاه گیلان، گروه مهندسی برق می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان در حال حاضر عبارتند از: طراحی مدارات دیجیتال آزمون‌پذیر و با قابلیت اطمینان بالا، طراحی حافظه‌های با کارایی بالا در فناوری‌های جدید و مقاوم در برابر خطای نرم و پیرشدگی و نیز پیاده‌سازی الگوریتم‌های بینایی ماشین روی FPGA.

هومن سالمی در سال ۱۳۸۸ مدرک کارشناسی مهندسی برق خود را از دانشگاه صنعتی مالک اشتر و در سال ۱۳۹۲ مدرک کارشناسی ارشد مهندسی برق خود در گرایش الکترونیک را از دانشگاه گیلان دریافت نمود. از سال ۱۳۹۲ الی ۱۳۹۴ نام‌برده به عنوان کارشناس فنی سیستم‌های دیجیتال در شرکت ارتباطات پردیس به کار مشغول بود و پس از آن در سال ۱۳۹۴ در قسمت انفورماتیک بانک گردشگری در تهران مشغول به فعالیت گردید. زمینه‌های علمی مورد علاقه ایشان متنوع بوده و شامل موضوعاتی مانند طراحی مدارات دیجیتال قابل اطمینان، ایده‌های نو در برنامه‌نویسی، مدیریت سیستم‌های یکپارچه الکترونیکی و امنیت سیستمهای بانکی می‌باشد.