طراحی یک تقویت‌کننده ابزاردقیق حالت جریان با CMRR بسیار بزرگ، پهنای باند وسیع، توان مصرفی پایین و ساختاری جدید بر پایه ناقل جریان تمام تفاضلی نسل دوم

سوما احمدی و سیدجواد ازهری

چکیده: در این مقاله یک ساختار جدید برای پیاده‌سازی تقویت‌کننده ابزاردقیق حالت جریان (CMIA) بر مبنای ناقل جریان نسل دوم تمام‌تفاضلی (FDCCII) پیشنهاد می‌شود. این ساختار به دلیل بهره‌بردن از امتیازهای کار در حالت جریان بر خلاف تقویت‌کننده‌های ابزاردقیق حالت ولتاژ نیاز به مقاومت‌های همجور برای دست‌یابی به CMRR بزرگ نداشته و به طور ذاتی توانایی بهبود پارامترهای مهم یک CMIA را دارد. همچنین برخلاف سایر انواع جریانی این گروه، استفاده از ساختار تفاضلی تأثیر ناهمجوری بلوک‌های الکترونیکی در عملکرد آن را کاهش داده است. هر دوی این مزیت‌ها اندازه و توان مصرفی ساختار را به شدت کاهش و پهنای باند و CMRR مدار را افزایش داده و این مدار را به نمونه‌ای کم‌نظیر در عملکرد و انتخابی بسیار مناسب برای مجتمع‌سازی تبدیل نموده است. در CMIA طراحی‌شده CMRR به عنوان مهم‌ترین پارامتر یک تقویت‌کننده ابزار دقیق با استفاده از یک طبقه تفاضل‌گیر جریان بهبود داده شده است. طراحی مدار با استفاده از فناوری CMOS ۰٫۱۸ um تحت ولتاژهای تغذیه ۱ V± انجام گرفته و عملکرد آن با استفاده از نرم‌افزار HSPICE در سطح ترانزیستور بررسی شده است. نتایج شبیه‌سازی مقادیر CMRR برابر ۲۲۷٫٤ dB و پهنای باند ۸٫۹۸ KHz، پهنای باند بهره تفاضلی ۹٫۰۸ MHz، ولتاژ آفست خروجی ۲٫۲۳ uV و توان مصرفی ۳٤۸ uW می‌باشد. به عنوان یک امتیاز منحصربه‌فرد، مقدار CMRR در پاسخ مونت‌کارلو (که خطاهای فناوری را نیز منظور می‌نماید) تا ۲۲۸٫٦۸ dB افزایش یافته که به طور نسبی عدم حساسیت ساختار پیشنهادی را به خطاهای فناوری (PVT) به عنوان یک ویژگی بی‌نظیر تأیید می‌نماید.

کلیدواژه: **تقویت‌کننده ابزاردقیق (IA)، تقویت‌کننده ابزاردقیق حالت جریان (CMIA)، نسبت رد حالت مشترک بسیار بزرگ (High CMRR)، ناقل جریان تمام تفاضلی نسل دوم (FDCCII)، توان مصرفی پایین (LP).**

۱- مقدمه

در سال‌های اخیر، طراحان و محققان در زمینه طراحی مدارهای آنالوگ به دلیل افزایش تقاضا برای مدارها و تجهیزات توان- ولتاژ پایین قابل حمل و همچنین محدودیت‌های روند فناوری جدید ساخت مدارهای مجتمع، با چالش‌های جدی مواجه شده‌اند [۱] تا [۵]. استفاده از پردازش سیگنال حالت جریان به عنوان روشی برای غلبه بر این چالش‌ها و محدودیت‌ها در بین طراحان محبوبیت زیادی یافته است. مهم‌ترین برتری‌های حالت جریان بر حالت ولتاژ عبارتند از کار در ولتاژهای پایین و توان‌های بسیار پایین، گستره پویایی (به خصوص جریانی) بالا، فرکانس و سرعت زیاد و ساختار ساده‌تر و کوچک‌تر [۶] تا [۱۶]. علاوه بر امتیازهای یادشده، CMRR انواع جریانی تقویت‌کننده‌های ابزار دقیق برخلاف نوع حالت ولتاژی (که حساس به دقت مقاومت‌ها بوده و توسط آن محدود می‌شوند) مستقل از دقت مقاومت‌ها می‌باشد. از این رو امروزه به تدریج انواع جریانی تقویت‌کننده ابزار دقیق جایگزین نمونه‌های مرسوم حالت ولتاژی شده‌اند [۸] تا [۲۳]. ساختارهای متفاوتی از تقویت‌کننده ابزاردقیق حالت جریان (CMIA) تاکنون گزارش شده‌اند که می‌توان آنها را با توجه به سیگنال ورودی در دو نوع ۱) تقویت‌کننده با امپدانس ورودی پایین (مناسب سیگنال‌های ورودی جریانی) و ۲) تقویت‌کننده با امپدانس ورودی بزرگ (مناسب سیگنال‌های ورودی ولتاژی) طبقه‌بندی کرد.

تقویت‌کننده‌های نوع اول خود به دو دسته ۱) انواع مبتنی بر ناقل‌های جریان (CCs) [۱۰] و [۱۲] و ۲) انواع مبتنی بر روش سنجش جریان منبع تغذیه تقسیم‌بندی می‌شوند [۸] و [۹]، اما از جمله مشکلات این ساختارها نیاز به بلوک‌های فعال همجور برای افزایش CMRR مدار است. به منظور حذف نیاز به بلوک‌های فعال همجور در ساختار CMIAها، انواع مبتنی بر ناقل جریان تفاضلی نسل دوم (DVCCII) معرفی شدند [۱۳]. ساختار این CMIAها به دلیل استفاده از تقویت‌کننده تفاضلی در ورودی ولتاژی ناقل جریان، تنها از یک بلوک فعال تشکیل شده است اما به دلیل خروجی‌های تک‌سر، افزایش چشم‌گیری در بهبود CMRR مدار نخواهد داشت. برای غلبه بر تمامی مشکلات ذکرشده، در این مقاله یک CMIA بر مبنای ناقل جریان تمام تفاضلی نسل دوم (FDCCII) با بهره‌گیری از مزایای زیر ارائه می‌شود:

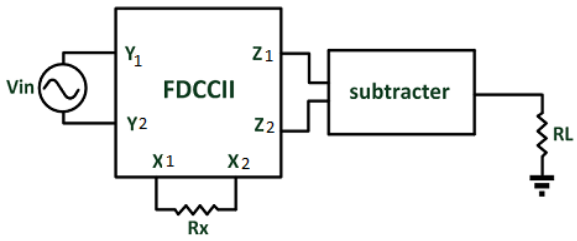
- برای غلبه بر مشکلاتی مانند نیاز به تطبیق دقیق مقاومتی و وابستگی بهره و CMRR به پهنای باند در IAهای حالت ولتاژی، یک IA حالت جریان معرفی می‌شود. این مدار علاوه بر این که از تمامی مزایای پردازش حالت جریان برخوردار است، تنها از یک بلوک فعال تشکیل شده و نیاز به بلوک‌های فعال همجور را از بین می‌برد.
- CMRR که مهم‌ترین پارامتر یک تقویت‌کننده ابزار دقیق است با استفاده از طبقه تفاضل‌گیر جریان تا حد زیادی بهبود یافته است.
- FDCCII طراحی‌شده یک ساختار کاملاً متقارن و تماماً تفاضلی است که با استفاده از آینه جریان ستونی نوسان بلند که از جمله بهترین مدارهای با ولتاژ و توان مصرفی کم می‌باشد، تحت ولتاژ تغذیه ۱V± طراحی شده است.

ادامه مطالب به صورت زیر طبقه‌بندی می‌شود: بخش دوم به معرفی تقویت‌کننده پیشنهادی از طریق ارائه ترکیب سیستمی (نمای بلوکی

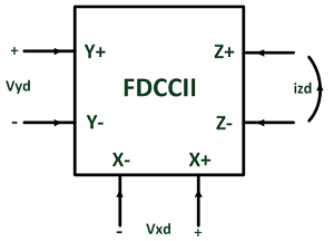
این مقاله در تاریخ ۲۷ آذر ماه ۱۳۹۶ دریافت و در تاریخ ۵ خرداد ماه ۱۳۹۷ بازنگری شد.

سوما احمدی، دانشکده مهندسی برق، دانشگاه علم و صنعت ایران، تهران، ایران، (email: s0_ahmadi@alumni.iust.ac.ir).

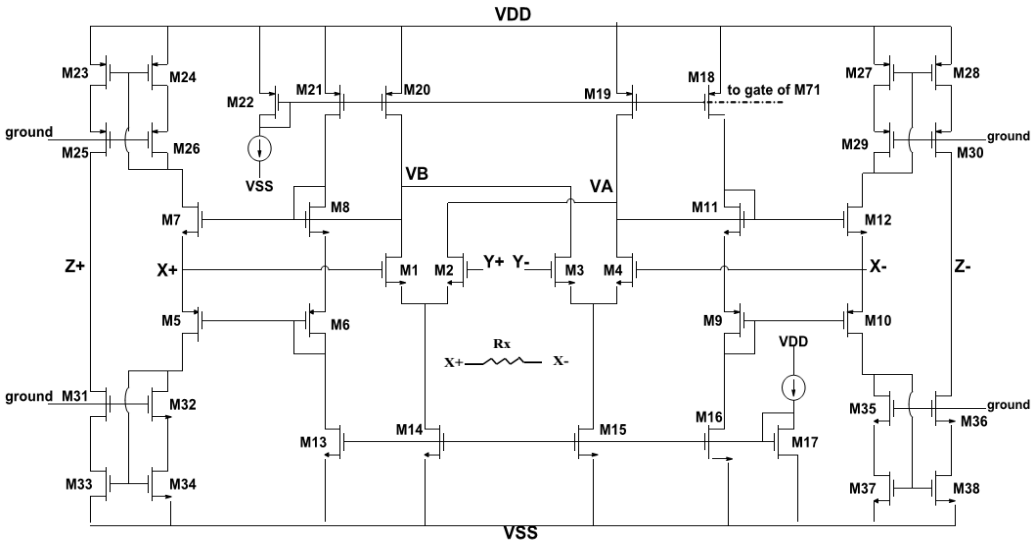
سیدجواد ازهری (نویسنده مسئول)، دانشکده مهندسی برق، دانشگاه علم و صنعت ایران، تهران، ایران، (email: azhari@iust.ac.ir).



شکل ۱: بلوک دیاگرام CMIA در حالت ورودی ولتاژی.



شکل ۲: سمبل یک ناقل جریان تمام‌تفاضلی نسل دوم.



شکل ۳: مدار FDCCII پیشنهادشده.

بخش۲)، ساختار مداری (درسطح ترانزیستور- بخش ۲-۱)، تحلیل نظری (معادله‌های عملکردی حاکم- بخش۲-۱ و۲-۲) هر دو بخش آن (FDCCII و مدار تفاضل،گیر جریان) می‌پردازد. در بخش سوم با ارائه نتایج شبیه‌سازی CMIA پیشنهادی با شبیه‌ساز HSPICE کارایی این مدار اثبات می‌شود. این کار با نتیجه‌گیری در بخش چهارم و سپس معرفی مراجع مورد استفاده به پایان می‌رسد.

۲- معرفی CMIA پیشنهادشده

ساختار بلوک دیاگرامی CMIA پیشنهادشده، در شکل ۱ نشان داده شده است. این ساختار با بلوک ناقل جریان نسل دوم تفاضلی FDCCII شروع و به یک تفریق‌کننده جریان ختم می‌شود. مطابق با شکل ۱، سیگنال ولتاژ تفاضلی ورودی به پایانه‌های x منتقل می‌شود و در R_x جریانی را به وجود می‌آورد که به صورت تفاضلی به پایانه‌های جریانی مختلف‌العلامت z منتقل می‌گردد. سپس بلوک تفاضل‌گیر جریان تفاضل جریان‌های خروجی را به R_L منتقل می‌کند. بهره ولتاژ تفاضلی کل CMIA در این حالت برابر $2R_L/R_x$ می‌باشد.

باید توجه داشت که چنانچه سیگنال حالت مشترک به هر طریقی به پایانه‌های x منتقل شود به دلیل تقارنی که مدار دارد به هر دو پایه x_1 و x_2 به یک اندازه منتقل می‌شود و لذا جریانی در R_x ایجاد نکرده و به خروجی منتقل نمی‌شود. مشروح عملکرد و جزئیات در سطح ترانزیستور این دو بلوک و تقویت‌کننده ابزاردقیق کامل در بخش‌های بعدی تقدیم می‌گردد.

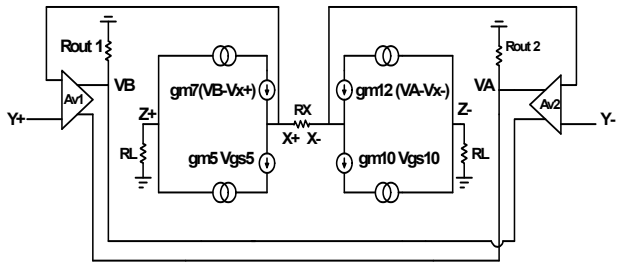
۲-۱ FDCCII طراحی‌شده

ناقل جریان تمام‌تفاضلی نسل دوم یک بلوک ۶ پایه است که از اتصال یک بافر ولتاژ (بین پایه‌های تفاضلی Y و X) و یک بافر جریان (بین پایه‌های تفاضلی X و Z) تشکیل شده است. سمبل FDCCII و ماتریس عملکردی آن به ترتیب در شکل ۲ و (۱) نشان داده شده است. امپدانس پایانه‌های تفاضلی ورودی Y، پایانه‌های تفاضلی ورودی (خروجی) x و پایانه‌های تفاضلی z در حالت ایده‌آل به ترتیب بی‌نهایت، صفر و بی‌نهایت می‌باشد. باید توجه نمود که منظور از انتقال به صورت تفاضلی عدم انتقال مؤلفه‌های حالت مشترک سیگنال ورودی به خروجی است. در تحقق مداری واقعی وجود امپدانس‌های غیر ایده‌آل در پایانه‌ها سبب آثار نامطلوب در عملکرد FDCCII می‌شود

$$\begin{bmatrix} i_{y+} \\ i_{y-} \\ v_{x+} \\ v_{x-} \\ i_{z+} \\ i_{z-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & -1 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_{y+} \\ v_{y-} \\ i_{x+} \\ i_{x-} \\ v_{z+} \\ v_{z-} \end{bmatrix} \quad (1)$$

مدار FDCCII طراحی‌شده در سطح ترانزیستور در شکل ۳ آمده است. از آنجا که این مدار برای کاربردهای ابزار دقیق طراحی گردیده، بهبود CMRR به عنوان مهم‌ترین پارامتر مورد توجه واقع شده است. عملکرد مدار ارائه‌شده را می‌توان در دو بخش عمده دنبال‌کننده جریان تفاضلی و دنبال‌کننده ولتاژ تفاضلی بررسی کرد.

طبقه ورودی شامل دو تقویت‌کننده تفاضلی تراهدایتی (ترانزیستورهای همجور M۱ – M۴) می‌باشد که به همراه طبقه بهره (M۱۹,M۲۰) و بر اساس برابرسازی جریان خروجی دو طبقه تراهدایتی، عمل دنبال‌کنندگی ولتاژ از پایه y به پایه x را انجام می‌دهند. استفاده از ساختار حلقه تراخطی در پایانه‌های x (شامل ترانزیستورهای M۵ – M۸ در x_1 و



شکل ۴: مدل سیگنال کوچک مدار FDCCII پیشنهادشده.

$M۹-M۱۲$ در $x_۲$) و با اتصال پسخور منفی این دو حلقه به طبقه ورودی، مقاومت در پایه‌های x کاهش می‌یابد. با توجه به شکل ۴ که مدل سیگنال کوچک مدار FDCCII می‌باشد، با فرض برابری هدایت انتقالی ترانزیستورهای $M۱-M۴$ $(g_{m۱}=g_{m۲}=g_{m۳}=g_{m۴})$ و با فرض تطبیق ۲ حلقه تراخطی، $g_{m۵}=g_{m۱۰}$، $g_{m۶}=g_{m۹}$، $g_{m۷}=g_{m۱۲}$، $g_{m۸}=g_{m۱۱}$ و با توجه به تقارن مدار، CMRR ولتاژی از ورودی تفاضلی Y تا خروجی کل به صورت (۲) خواهد بود (برای اطلاعات بیشتر به پیوست مراجعه شود)

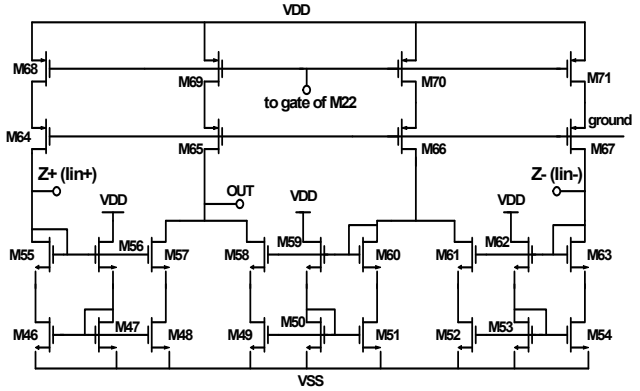
$$V_{CMRR}=\frac{A_۱(\frac{۱-\frac{\beta'}{۲}}{R_X}+\frac{۱-\beta'_۲}{۲r_X})-A_۲(\frac{۱-\frac{\beta'}{۲}}{R_X}-\frac{۱-\beta'_۲}{۲r_X})}{A_۱(\frac{\Delta\beta}{R_X}+\frac{۱-\beta_۲}{r_x})-A_۲(\frac{-\Delta\beta}{R_X}+\frac{۱-\beta_۲}{r_x})}$$
$$A_{۱(۲)}=(۱-\delta_{c۱(۲)})(۱-\theta_{۱(۲)}) \qquad (۲)$$
$$\Delta\beta=\beta_۲-\beta_۱\ ,\ \beta'=\frac{\beta'_۱-\beta'_۲}{۲}$$

در این رابطه β و β' به ترتیب خطای انتقال ولتاژ از Y به X برای سیگنال‌های تفاضلی و حالت مشترک، δ_c خطای انتقال جریان از X به Z، θ خطای انتقال جریان مدار تفریق‌کننده جریان و R_x مقاومت خارجی متصل بین پایه‌های x است. مقاومت r_x نیز که مقاومت داخلی هر یک از پایه‌های X است، طبق (۳) به دست می‌آید (برای اطلاعات بیشتر به پیوست مراجعه شود)

$$rx=\frac{۱}{(۱+g_{m۱}R_{out۱})(g_{m۵}+g_{m۷})} \qquad (۳)$$

با توجه به (۳) می‌توان با افزایش $g_{m۱}$ و یا $g_{m۷},g_{m۵}$ مقاومت داخلی پایه‌های x را تا چند میلی‌اهم کاهش داد. اما به دلیل آن که افزایش ضرایب یادشده در راستای افزایش توان مصرفی می‌باشد، لذا تغذیه مدار و ضرایب مزبور به گونه‌ای انتخاب می‌شوند که توازن مناسبی بین توان مصرفی و مقاومت r_x برقرار شده و هم‌زمان این دو مشخصه بهینه شوند. عملکرد حالت مشترک در طبقه ورودی با هدف انتقال سیگنال‌های حالت مشترک در ورودی تفاضلی Y به پایانه‌های تفاضلی x با بهره صفر است که با توجه به تقارن کامل مدار بهره انتقال ولتاژ حالت مشترک بسیار پایین می‌باشد.

اما طبقه خروجی کلاس AB در مدار شکل ۳، در واقع دنبال‌کنندگی جریان از پایانه X به پایانه Z را پیاده‌سازی می‌کند که این طبقه شامل ترانزیستورهای $M۲۳-M۳۸$ است. استفاده از آینه جریان‌های ستونی نوسان بلند، علاوه بر افزایش مقاومت پایانه‌های خروجی Z و دقت انتقال جریان از پایانه تفاضلی X به پایانه تفاضلی Z، سبب کاهش سطح ولتاژ تغذیه و به دنبال آن توان مصرفی مدار می‌شود.



شکل ۵: شماتیک مداری تفاضل‌گیر جریان.

۲-۲ مدار تفاضل‌گیر جریان

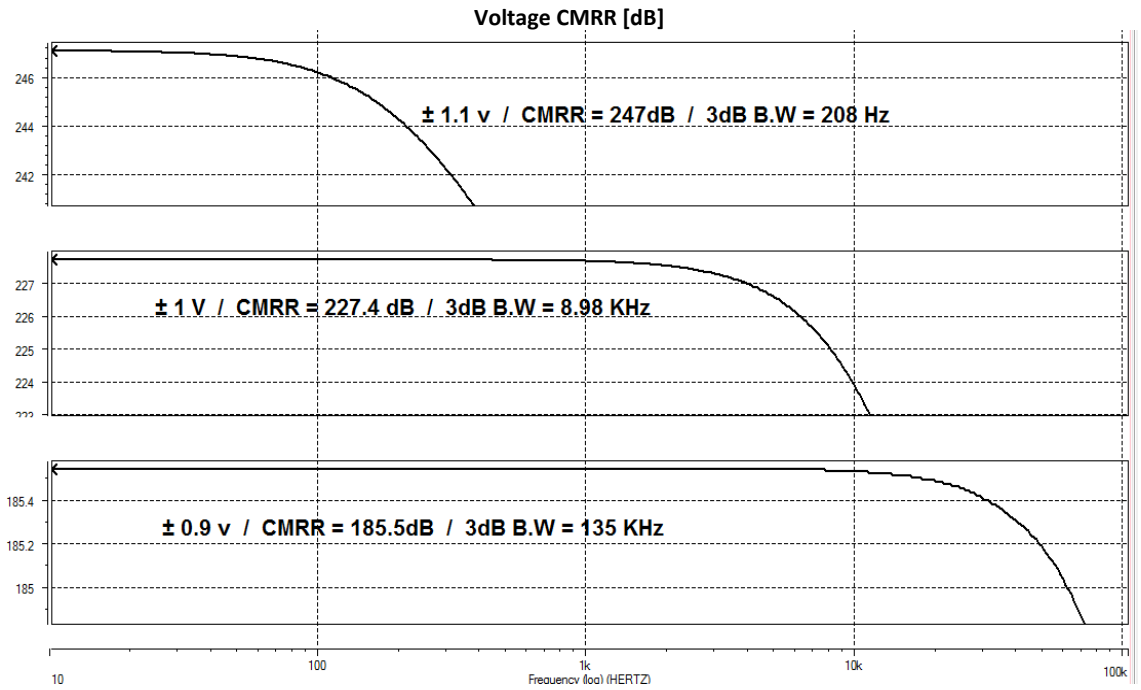
از آنجا که FDCCII دارای خروجی تفاضلی جریانی است، جهت داشتن خروجی تک‌سر و همچنین افزایش چشم‌گیر CMRR از یک طبقه تفاضل‌گیر جریان در CMIA پیشنهادی استفاده شده است [۲۲]. مدار این تفریق‌کننده در سطح ترانزیستور در شکل ۵ آمده است که این مدار شامل چهار منبع جریان کسکودی (شامل ترانزیستورهای $M۶۴-M۷۱$) و سه آینه جریان ویلسون (اولی $M۶۱-M۶۳$ و $M۵۲-M۵۳$، دومی $M۵۸-M۶۰$ و $M۴۹-M۵۱$ و سومی $M۵۵-M۵۷$ و $M۴۶-M۴۸$) می‌باشد.

آینه‌های اول و دوم اشاره‌شده در بالا عمل معکوس‌کردن جریان پایه $Z_۲$ را انجام می‌دهند لذا تفاضل جریان پایه‌های $Z_۱,Z_۲$ به خروجی راه می‌یابد. در نتیجه سیگنال حالت مشترک ورودی به دلیل عمل تفریق با بهره صفر (در حالت ایده‌آل) به خروجی منتقل می‌شود که تأثیر چشم‌گیری در افزایش CMRR مدار خواهد گذاشت.

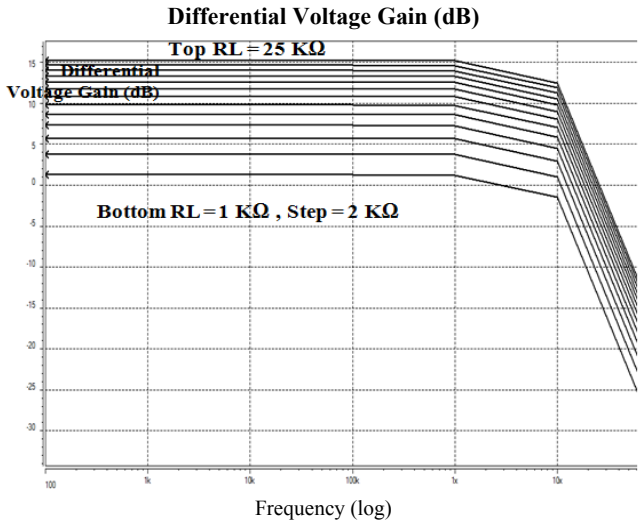
۳- CMIA پیشنهادشده و نتایج شبیه‌سازی

مدار CMIA در فناوری ۰٫۱۸ um تحت ولتاژهای تغذیه $\pm$۱v طراحی شده است. شبیه‌سازی این مدار با تفصیل سیگنالی و ترکیب سیستمی شکل ۱ و جزئیات ترانزیستوری شکل‌های ۳ و ۵ با استفاده از نرم‌افزار HSPICE ارائه گردیده است. شبیه‌سازی‌ها با مقادیر $R_X=۲RL=۲k\Omega$ انجام شده و نتایج شبیه‌سازی، مقادیر CMRR برابر ۲۲۷٫۴ dB با پهنای باند ۸٫۹۸ KHz (مطابق با شکل ۶) را نشان می‌دهد. همچنین نتایج شبیه‌سازی مدار در دو سطح ولتاژ $\pm$۱٫۱v و $\pm$۰٫۹v در شکل ۶، جهت بررسی میزان تأثیر سطح ولتاژ تغذیه بر روی CMRR آمده است. بهره تفاضلی (با دقت ۱٫۰۰۱۱۵۱ در حالت بدون تقویت) دارای پهنای باند ۹٫۰۸ MHz می‌باشد (مطابق شکل ۷).

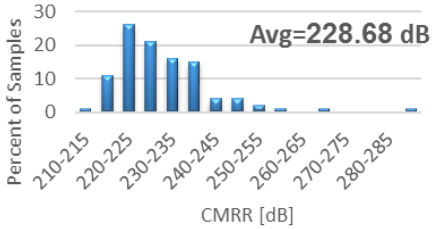
همان طور که نتایج نشان می‌دهند (شکل ۷) تغییرات مقاومت بار تأثیری بر روی پهنای باند تفاضلی مدار طراحی‌شده ندارد که این ویژگی به دلیل طراحی حالت جریانی مدار است. توان مصرفی مدار ۳۴۸ uW و ولتاژ آفست خروجی ۲٫۲۳ uV می‌باشد. از امتیازات استثنایی این طراحی سازگارسازی افزایش پهنای باند با کاهش توان مصرفی علی‌رغم شهرت و شهود این دو مشخصه به تضاد در عمده طراحی‌های گزارش‌شده تاکنون می‌باشد. نتایج شبیه‌سازی یک تقویت‌کننده ابزار دقیق مدار مجتمع زمانی نزدیک به واقعیت است که در کنار شبیه‌سازی خالص، شبیه‌سازی مونت‌کارلو نیز (برای در نظر گرفتن خطاهای ساخت) انجام گیرد. در شکل ۸ و ۹ نتایج شبیه‌سازی مونت‌کارلوی اعمال‌شده برای CMRR و پهنای



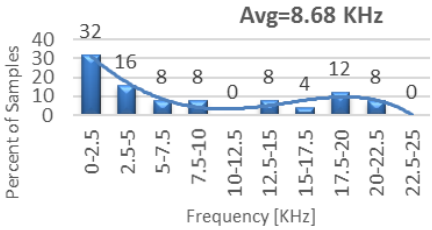
شکل ۶: منحنی CMRR مدار CMIA طراحی‌شده.



شکل ۷: بهره ولتاژ تفاضلی، $RX = ۲\,k\Omega$ و $RL = ۱k\Omega - ۲۵\,k\Omega$ $(step = ۲\,k\Omega)$.



شکل ۸: نتایج شبیه‌سازی مونت‌کارلو برای اندازه CMRR.



شکل ۹: نتایج شبیه‌سازی مونت‌کارلو برای پهنای باند CMRR.

باند آن (برای ۱۰۰ نمونه) تقویت‌کننده ابزار دقیق طراحی‌شده به ترتیب نشان داده شده است. این شبیه‌سازی‌ها با اعمال ۲٪ تغییرات به ولتاژ آستانه، ضخامت خازن اکسید، W و L کل ترانزیستورهای مدار CMIA انجام گرفته است. نتایج شکل‌های ۸ و ۹ نشان می‌دهند که به عنوان یک امتیاز منحصربه‌فرد مقدار میانگین اندازه CMRR از مقدار بدون مونت‌کارلوی آن بیشتر شده است ولی به دلیل کمتربودن میانگین پهنای باند از مقدار بدون مونت‌کارلو، حاصل‌ضرب بهره در پهنای باند برای نتایج مونت‌کارلو کمتر از مقدار بدون مونت‌کارلو می‌باشد.

همچنین جدول ۱ ابعاد ترانزیستوری طراحی‌شده را برای CMIA پیشنهادی نشان می‌دهند. طراحی مدار در طول کانال‌های پایین علاوه بر کاهش سطح مصرفی مدار سبب افزایش سرعت و پهنای باند مدار می‌شود.

همچنین جدول ۲ مشخصات مدار پیشنهادی را با چند کار دیگر مقایسه می‌کند.

٤- نتیجه‌گیری

در این مقاله یک CMIA بر مبنای FDCCII طراحی شده که ساختار ارائه‌شده نیاز به بلوک‌های همجور ندارد. در CMIA پیشنهادی، CMRR که مهم‌ترین پارامتر تقویت‌کننده ابزار دقیق است تا حد بسیار زیادی از نظر هر دو مقدار دامنه و پهنای باند بهبود پیدا کرده است. نتایج شبیه‌سازی مزیت‌های مدار طراحی‌شده را نشان می‌دهد. افزایش فرکانس عملکردی علی‌رغم کاهش توان مصرفی، سازگاری این دو مشخصه معروف در ناسازگاری را به عنوان یک دستاورد استثنایی مدار پیشنهادی اثبات می‌کند.

پیوست

با توجه به تقارن مدار شکل ۳ داریم

جدول ۱: ابعاد ترانزیستوری طراحی‌شده برای CMIA پیشنهادی.

Transistors	W/L (um/um)	Transistors	W/L (um/um)
$M_1 - M_4$	۵/۰/۴۵	M_{18}, M_{21}	۵۹/۰/۴۵
M_5, M_{10}	۹۰/۰/۲۷	M_{22}	۲۰/۰/۴۵
M_6, M_9	۴۵/۰/۲۷	$M_{30} - M_{33}, M_{38} - M_{41}$	۲۵/۰/۴۵
M_7, M_{12}	۲۲/۰/۴۵	$M_{34} - M_{37}, M_{42} - M_{45}$	۷/۰/۴۵
M_8, M_{11}	۱۰/۰/۴۵	$M_{47} - M_{54}$	۱/۱/۰/۴۵
M_{13}, M_{16}	۱۰/۳/۵	$M_{55}, M_{59}, M_{58}, M_{72}$	۳۰/۷/۵
M_{17}	۳/۴۵/۰/۴۵	$M_{56}, M_{57}, M_{70}, M_{71}$	۲۶/۵/۲
$M_{14}, M_{15}, M_{19}, M_{20}$	۲۱/۱/۴	–	–

جدول ۲: مقایسه عملکرد CMIA طراحی‌شده با چند کار دیگر.

CMIA	Proposed	[۲۱]	[۸]	[۷]	[۱۹]
Input signal	Voltage	Voltage	Voltage	Voltage	Voltage
Tech.	۰/۱۸ um CMOS	۰/۱۸ um CMOS	AD۸۴۴AN	۰/۱۸ um CMOS	۱۳۰ nm CMOS
Result type	Hspice	Hspice	Fabricated	Hspice	Cadence (Pre layout)
CMRR [dB]	۲۲۷/۴	۲۱۶	۹۵	۱۱۰	۶۴/۷
CMRR Band-width	۸/۹۸ KHz	۳۰۰ Hz	۲ KHz	N.A*	۱۰۰ KHz
Gain Band-width	۹/۰۸ MHz	۱۸/۱ MHz	۵۹۱/۶۶ KHz	۲ MHz	< ۳۸۱ MHz
Power	۳۴۸ µw	۳۸۳/۴ µw	۵۴۰ mw	N.A*	۱۴ µW
Supply voltages [V]	±۱	±۱/۲	±۱۰	۱/۸	۰/۴
Need for matchedblocks	No	No	Yes	Yes	No

* Not Available

$$g_{m1} = g_{m2} = g_{m3} = g_{m4}$$
$$g_{m8} = g_{m11}\ ,\ g_{m7} = g_{m12}\ ,\ g_{m6} = g_{m9}\ ,\ g_{m5} = g_{m10}.$$

روابط (پ-۱) تا (پ-۵) رابطه CMRR ولتاژی که قبلاً در (۲) نشان داده شد را اثبات می‌کنند

$$\begin{aligned} V_{x+(-)_{cm}} &= (1-\beta_{1(2)})V_{y+(-)_{cm}} \\ V_{x+(-)_{diff}} &= (1-\beta'_{1(2)})V_{y+(-)_{diff}} \end{aligned} \quad (پ-۱)$$

$$\begin{aligned} I_{x+(-)_{cm}} &= (-)I_{x+(-)_{diff}} \\ &= \frac{V_{x+(-)_{cm(diff)}} - V_{x-(+)_{cm(diff)}}}{R_x} + \frac{V_{x+_{cm(diff)}}}{r_x} \end{aligned} \quad (پ-۲)$$

$$I_{z+(-)_{cm(diff)}} = (1-\delta_{c1(2)})I_{x+(-)_{cm(diff)}} \quad (پ-۳)$$

$$\begin{aligned} I_{out_{cm(diff)}} &= (1-\theta_1)I_{z+_{cm(diff)}}(1-\theta_2)I_{z-_{cm(diff)}} \\ V_{out_{cm(diff)}} &= R_L I_{out_{cm(diff)}} \end{aligned} \quad (پ-۴)$$

$$\begin{aligned} V_{CMRR} &= \frac{V_{out_{cm}}}{V_{Y_{cm}}} \times \frac{V_{Y_{diff}}}{V_{out_{diff}}} \\ V_{Y_{cm}} &= \frac{V_{Y+_{cm}} + V_{Y-_{cm}}}{2}\ ,\ V_{Y_{diff}} = V_{Y+_{diff}} - V_{Y-_{diff}} \end{aligned} \quad (پ-۵)$$

برای محاسبه مقاومت داخلی پایه‌های x با توجه به شکل ۴ داریم

$$V_{B(A)} = \frac{1}{2} A_{V1(2)}(V_{Y+(-)} - V_{X+(-)}) \quad (پ-۶)$$

$$A_{V1(2)} = g_{m1(4)} R_{out1(2)} \quad (پ-۷)$$

$$V_{gs10} = V_{d16} - V_{x-} \quad (پ-۸)$$

$$V_{gs5} = V_{d13} - V_{x+} \quad (پ-۹)$$

لذا با اتصال یک منبع تست به پایه‌های X داریم

$$r_x = \frac{V_T}{I_T} = \frac{1}{(1+A_V)(g_{m7} + g_{m5})} \quad (پ-۱۰)$$

مراجع

[1] A. J. Annema, B. Nauta, R. V. Langevelde, and H. Tuinhout, "Analogue circuits in ultra-deep-submicron CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 132-143, Jan. 2005.

[2] S. J. Azhari, *Low Voltage Low Power Integrated Circuits, Analog and Digital*, Lecture Note Iran University of Science and Technology, 2015-2016.

[3] C. Toumazou, F. J. Lidgey, and D. G. Haigh, *Analogue IC Design: The Current-Mode Approach*, London, U. K., IEE Press, 1990.

[4] S. J. Azhari, *Current-Mode Integrated Circuits, Design and Application,* Lecture Note Iran University of Science and Technology, 2015.

[5] G. Ferri and N. C. Guirrini, *Low-Voltage, Low-Power CMOS Current Conveyors*, ch.4, Kluwer, 2003.

[6] S. Archana, B. K. Madhavi, and I. V. Murali Krishna, "Design of CMOS current mode and voltage mode winner take all circuit on 180 nm technology," in *Proc. IEEE Int. Conf. on Electrical, Electronics, and Optimization Techniques, ICEEOT'16,* pp. 1879-1882, Chennai, India, 3-5 Mar. 2016.

[7] H. Broomandnia and S. J. Azhari, "Design of a fully differential current buffer (FDCB) based on a new common mode feedforward (CMFF) based common mode separation technique," in *Proc. IEEE 2nd Int. Conf. on. Knowledge-Based Engineering and Innovation, KBEI'15,* pp. 373-379, Tehran, Iran, 5-6 Nov. 2015.

[8] E. L. Douglas, D. F. Lovely, and D. M. Luke, "A low-voltage current-mode instrumentation amplifier designed in a 0.18-micron CMOS technology," in *Proc. Canadian Conf. on Electrical and Computer Engineering*, vol. 3, pp. 1777-1780, Niagara Falls, ON, Canada, 2-5 May 2004.

[9] S. J. Azhari and H. Fazlalipoor, "CMRR in voltage-op-amp-based current-mode instrumentation amplifiers (CMIA)," *IEEE Trans. on Instrumentation and Measurement*, vol. 58, no. 3, pp. 563-569, Mar. 2009.

[10] A. Voulkidou, S. Siskos, and T. Laopoulos, "A low noise low offset current mode instrumentation amplifier," in *Proc. 19th Int. Conf.*

Mixed Design of Integrated Circuits and Systems, pp. 203-207, 24-26 Warsaw, Poland, May 2012.
[11] B. Babaei and S. Mirzakuchaki, "High CMRR, low power and wideband current-mode instrumentation amplifier," in *Proc. IEEE Int. Norchip Conf.*, pp. 3-4, Linkoping, Sweden, 20-21 Nov. 2006.
[12] S. J. Azhari and H. Fazlalipoor, "A novel current mode instrumentation amplifier (CMIA) topology," *IEEE Trans. on Instrumentation and Measurement*, vol. 49, no. 6, pp. 1272-1277, Dec. 2000.
[13] A. A. Silverio, R. S. J. Reyes, and W. Y. Chung, "A low power high CMRR CMOS instrumentation amplifier based on differential voltage-current conveyor for beta-dispersion range bio-impedance applications," *Recent Researches in Circuits, Systems, Multimedia and Automatic Control*, pp. 31-36, Rovaniemi, Finland, 18-20 Apr. 2012.
[14] A. Panchal, P. K. Jain, and D. S. Ajnar, "Instrumentation amplifier using differential voltage second generation current conveyor (DVCCII) in standard 0.18 µm CMOS technology," *International J. of Engineering Science and Technology*, vol. 3, no. 8, pp. 6525-6531, Aug. 2011.
[15] L. Safari and S. Minaei, "A novel resistor-free electronically adjustable current-mode instrumentation amplifier," *Circuits, Systems, and Signal Processing*, vol. 32, no. 3, pp. 1025-1038, Jun. 2013.
[16] L. Safari and S. Minaei, "New ECCII-based electronically controllable current-mode instrumentation amplifier with high frequency performance," in *Proc. European Conf. on Circuit Theory and Design, ECCTD'17,* 4 pp., Catania, Italy, 4-6 Sept. 2017.
[17] D. M. Das, *et al.*, "Design considerations for high-cmrr low-power current mode instrumentation amplifier for biomedicai data acquisition systems," in *Proc. 21st IEEE Int. Conf. on Electronics, Circuits and Systems, ICECS'14,* pp. 251-254, Marseille, France, 7-10 Dec. 2014.
[18] Z. M'Harzi, M. Alami, and F. Temcamani, "A novel high bandwidth current mode instrumentation amplifier," in *Proc. 27th Int. Conf. on Microelectronics, ICM'15*, pp. 299-302, Casablanca, Morocco, 20-23 Dec. 2015.
[19] M. A. Eldeeb, *et al.*, "A 0.4-V miniature CMOS current mode instrumentation amplifier," *IEEE Trans. on Circuits and Systems II: Express Briefs*, vol. 65, no. 3, pp. 261-265, Mar. 2018.
[20] M. Han, *et al.*, "Bulk switching instrumentation amplifier for a high-impedance source in neural signal recording," *IEEE Trans. on Circuits and Systems II: Express Briefs*, vol. 62, no. 2, pp. 194-198, Feb. 2015.
[21] S. Ahmadi and S. J. Azhari, "A novel fully differential second generation current conveyor and its application as a very high CMRR instrumentation amplifier," *Emerging Science J.*, vol. 2, no. 2, pp. 85-92, Apr. 2018.
[22] I. Gkotsis, G. Souliotis, and I. Haritantis, "Instrumentation amplifier based analogue interface," in *Proc. IEEE Int. Conf. on Electronics, Circuits and Systems. Surfing the Waves of Science and Technology,* pp. 317-320, Lisboa, Portugal, 7-10 Sept. 1998.
[23] S. Suwansawang and T. Thongleam, "A 1-V bulk-driven CMOS fully differential second-generation current conveyor," in *Proc. IEEE Int. Symp. on Intelligent Signal Processing and Communications Systems, ISPACS'13,* pp. 662-665, Naha, Japan, 12-15 Nov. 2013.

سوما احمدی در سال ۱۳۹۳ مدرک کارشناسی مهندسی برق خود را از دانشگاه کردستان و در سال ۱۳۹۶ مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه علم و صنعت ایران دریافت نمود. زمینه‌های علمی مورد علاقه نام‌برده متنوع بوده و شامل موضوعاتی مانند طراحی مدارات حالت جریان، مدارها و سنسورهای بیوالکتریک، و مدارات فرکانس بالا می‌باشد.

سیدجواد ازهری تحصیلات خود را در مقطع کارشناسی مهندسی برق- الکترونیک در سال ۱۳۵۴ از دانشگاه علم و صنعت ایران، در مقطع کارشناسی ارشد مهندسی برق- الکترونیک در سال‌های ۱۳۶۵ از دانشگاه ویکتوریا منچستر انگلستان و در مقطع دکتری مهندسی برق- الکترونیک در سال‌های ۱۳۶۹ از دانشگاه UMIST منچستر انگلستان به پایان رسانده است و هم‌اکنون استاد دانشکده مهندسی برق دانشگاه علم و صنعت ایران می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی‌مدارها و سیستم‌های الکترونیکی آنالوگ (حالت جریان)، آئینه‌های جریان، تقویت‌کننده جریان، ناقل‌های جریان،پردازشگرهای محاسباتی حالت جریان، فیلترهای حالت جریان، تقویت‌کننده‌های با فیدبک جریانی، OTA، تقویت‌کننده‌های مقاومت انتقالی، مبدل‌های داده (انواع ADC و DAC مخصوص از نوع جریانی)، تقویت‌کننده‌های ابزار دقیق جریانی و پل جریانی، و بافرهای جریانی.