مقاله پژوهشی

طراحی و شبیه‌سازی مقایسه‌کننده‌های دو دنباله توان پایین و با سرعت بالا

اکبر حیدری‌تبار، حبیب‌اله آدرنگ، سید صالح قریشی و رضا یوسفی

چکیده: در یک مبدل آنالوگ به دیجیتال با توان کم و سرعت بالا، مقایسه‌کننده‌های دینامیکی با توان کم و سرعت بالا از نیازهای ضروری است. این مقاله، تحلیلی از ملاحظات تأخیر انتشار، سرعت و توان مصرفی مقایسه‌کننده را ارائه می‌کند و عبارات تحلیلی مورد نظر تجزیه و تحلیل می‌شوند. با استفاده از معادلات ریاضی می‌توان طراحی مقایسه‌کننده‌ها را درک نمود. بر اساس تحلیل ارائه‌شده، یک مقایسه‌کننده دینامیکی جدید با اصلاح مدار مقایسه‌کننده دو دنباله برای سرعت بالا و توان کم در ولتاژهای تغذیه کم بدون پیچیدگی طراحی مدار پیشنهاد شده که منجر به کاهش قابل توجه در زمان تأخیر و در نتیجه افزایش سرعت می‌گردد. نتایج شبیه‌سازی در فناوری ۰٫۱۸ CMOS میکرومتری، نتایج تجزیه و تحلیل را اثبات می‌کند و نشان داده شده که در مقایسه‌کننده دو دنباله پیشنهادی که در آن از ترانزیستورهای سوئیچ و کنترلی استفاده می‌شود، توان مصرفی و زمان تأخیر انتشار را کاهش داده و سرعت را افزایش می‌دهد. همچنین بدون پیچیده‌نمودن طراحی و با اضافه‌کردن تعداد کمی ترانزیستور، فیدبک مثبت در طی زمان احیا تقویت می‌شود که به طور قابل ملاحظه‌ای به کاهش زمان تأخیر انتشار و در نتیجه افزایش سرعت مقایسه‌کننده منجر می‌شود. نتایج شبیه‌سازی نشان می‌دهند که مقایسه‌کننده پیشنهادی تا فرکانس ۲٫۵ گیگاهرتز با تأخیر ۶۹ پیکوثانیه، کار می‌کند و حدود ۳۲۹ میکروووات در ولتاژ تغذیه ۱٫۲ ولت با انحراف استاندارد ۷٫۸ میلی‌وات مصرف می‌نماید.

***کلیدواژه:* طراحی CMOS، سرعت بالا، توان پایین، دو دنباله.**

۱- مقدمه

امروزه مقایسه‌کننده در مدارهای مبدل آنالوگ به دیجیتال [1](ADC)، گیرنده‌های ورودی/ خروجی، نوسان‌سازها و تقویت‌کننده‌های ورودی حافظه یا عناصر ذخیره‌سازی استفاده می‌شود. بسیاری از مبدل‌های آنالوگ به دیجیتال پرسرعت مانند ADCهای فلش به مقایسه‌کننده‌های سرعت بالا و توان کم با سطح تراشه کوچک نیاز دارند [۱]. کوچک‌ترشدن طول کانال و کاهش ولتاژ تغذیه در فناوری [2]CMOS، طراحی مقایسه‌کننده‌ها را با چالش روبه‌رو کرده است؛ به‌ویژه با توجه به این که ولتاژ آستانه تکنولوژی با همان سرعت ولتاژ تغذیه در فناوری‌های CMOS جدید مطابقت پیدا نکرده‌اند و بنابراین طراحی مقایسه‌کننده‌های سرعت بالا زمانی که ولتاژ تغذیه کوچک‌تر باشد، چالش‌برانگیزتر است. مقایسه‌کننده CMOS، نقشی حیاتی در مدارهای ADC و مدارهای مرتبط دارد و پارامترهای ضروری همانند بهره، افست، نویز، تأخیر انتشار، سرعت و توان مصرفی در مقایسه‌کننده نقش مهمی دارند که در این مقاله به بررسی سرعت و توان مصرفی پرداخته شده است. سرعت مقایسه‌کننده با زمان تأخیر انتشار، رابطه عکس دارد. تأخیر انتشار مدت زمانی می‌باشد که نیاز است مطابق با سیگنال ورودی، سیگنال خروجی تغییر کند که تابعی از ورودی است که تأخیر انتشار کم، سرعت بالا را در پی دارد و بالعکس که ولتاژ ورودی خیلی بزرگ زمان تأخیر کمتری دارد. یکی دیگر از عوامل مهم در مقایسه‌کننده‌ها، توان مصرفی است. توان مصرفی، میزان انرژی مصرفی در مدارهای الکتریکی است. ولتاژ مصرفی و فرکانس‌های مدار، نقش مهمی در عملکرد مدار مقایسه‌کننده ایفا می‌کنند که باید بین سرعت و توان مصرفی در فرکانس‌های بالا مصالحه وجود داشته باشد. سرعت اساساً با امپدانس خروجی و سرعت چرخش رابطه دارد که مقاومت خروجی کم، جریان زیادی نیاز دارد تا سرعت مطلوبی داشته باشد. بهره مقایسه‌کننده، متأثر از سرعت و توان مصرفی است که می‌تواند با افزایش منبع تغذیه هم زیاد شود.

کاربردهای زیاد مقایسه‌کننده به همراه چالش‌های شدیدی که در بالا ذکر گردید، اهمیت تحلیل بیشتر این نوع مدارها را دوچندان می‌کند. به عبارت دیگر برای دستیابی به سرعت بالا در یک فناوری معین، به ترانزیستورهای بزرگ‌تر برای جبران کاهش ولتاژ تغذیه نیاز است. علاوه بر این، عملکرد مدار در ولتاژ پایین منجر به محدودیت مد مشترک می‌شود که در بسیاری از معماری‌های پرسرعت ADC همانند ADCهای فلش، ضروری است. بسیاری از تکنیک‌ها مانند روش‌های تقویت منبع [۲]، تکنیک‌هایی با استفاده از ترانزیستورهای اثر بدنه [۳] و [۴]، طراحی مد جریان [۵] و تکنیک‌هایی که از فرایندهای اکسید دوگانه استفاده می‌کنند که می‌توانند ولتاژهای تغذیه بالاتری را مدیریت کنند، برای رفع مشکل توسعه داده شده‌اند. چالش‌های طراحی ولتاژ پایین تقویت و خود تحریک، دوتکنیکی هستند که منبع تغذیه، مرجع یا ولتاژ ساعت را برای حل مشکلات محدوده ورودی و سوئیچینگ افزایش می‌دهند. اینها تکنیک‌هایی عملی هستند اما مشکلات قابلیت اطمینان را به خصوص برای فناوری‌های [3]UDSM CMOS ایجاد می‌کنند. اصلاحات تکنولوژی و توسعه ساختارهای جدید مداری که از انباشت تعداد زیادی ترانزیستور

این مقاله در تاریخ ۸ بهمن ماه ۱۴۰۰ دریافت و در تاریخ ۲۱ شهریور ماه ۱۴۰۱ بازنگری شد.

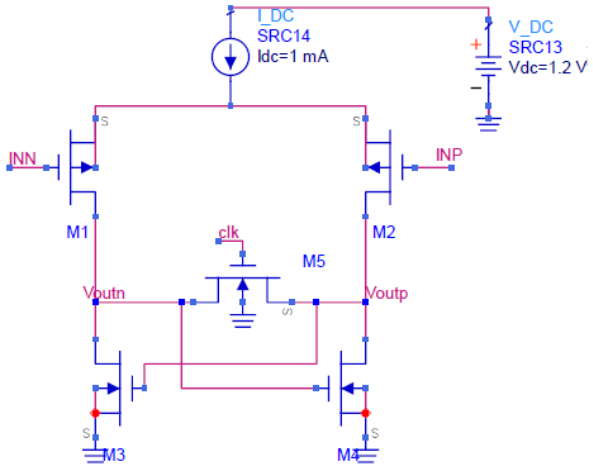
اکبر حیدری‌تبار، گروه مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: kbn_hor@yahoo.com).

حبیب‌اله آدرنگ، گروه مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: habibadrang@gmail.com).

سید صالح قریشی، گروه مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: salehghoreyshi@gmail.com).

رضا یوسفی، گروه مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: rezshahab@gmail.com).

1. Analog-to-Digital Converter
2. Complementary Metal-Oxide-Semiconductor
3. Ultra Deep Sub-Micron Complementary Metal-Oxide-Semiconductor



شکل ۱: شماتیک مقایسه‌کننده دینامیک با گیت شناور.

بین ریل‌های منبع تغذیه جلوگیری می‌کنند، برای عملیات ولتاژ پایین ترجیح داده می‌شوند، البته اگر پیچیدگی مدار را افزایش ندهند.

در [۶] و [۷]، یک مدار اضافی به مقایسه‌کننده دینامیکی معمولی اضافه می‌شود تا سرعت مقایسه‌کننده در ولتاژهای تغذیه پایین افزایش یابد. مقایسه‌کننده پیشنهادی [۸] تا ولتاژ تغذیه ۰٫۵ ولت با حداکثر فرکانس ساعت ۶۰۰ مگاهرتز کار می‌کند و ۱۸ میکروووات توان مصرف می‌نماید. ساختار مقایسه‌کننده دینامیکی دو دنباله که برای اولین بار در [۹] پیشنهاد شد، بر اساس طراحی یک طبقه ورودی جداگانه و یک طبقه تزویج متقابل است که این جداسازی می‌تواند عملکرد سریع را در محدوده مد مشترک وسیع ولتاژ تغذیه ایجاد کند.

در این کار، یک مقایسه‌کننده دینامیکی پرسرعت و کم‌توان پیشنهاد می‌شود که فضای کوچکی در فرایند CMOS ۰٫۱۸ µm- اشغال می‌کند. مقایسه‌کننده دینامیکی جدیدی ارائه گردیده که نیازی به افزایش ولتاژ یا انباشته‌شدن تعداد زیادی ترانزیستور ندارد. همچنین منجر به صرفه‌جویی قابل توجه در توان مصرفی در مقایسه با مقایسه‌کننده دینامیکی معمولی و مقایسه‌کننده دو دنباله می‌شود. در ادامه این مقاله و در بخش ۲، عملکرد مقایسه‌کننده‌های کلاک‌دار معمولی مورد بحث قرار می‌گیرد. همچنین در بخش ۲ تجزیه و تحلیل زمان تأخیر انتشار معرفی گشته و عبارات تحلیلی برای زمان تأخیر مقایسه‌کننده‌ها بیان می‌شوند. بخش ۳ مقایسه‌کننده پیشنهادی را ارائه کرده و بخش ۴ ملاحظات طراحی را مورد بحث قرار می‌دهد. نتایج شبیه‌سازی در بخش ۵ و به دنبال آن، نتیجه‌گیری در بخش ۶ آمده است.

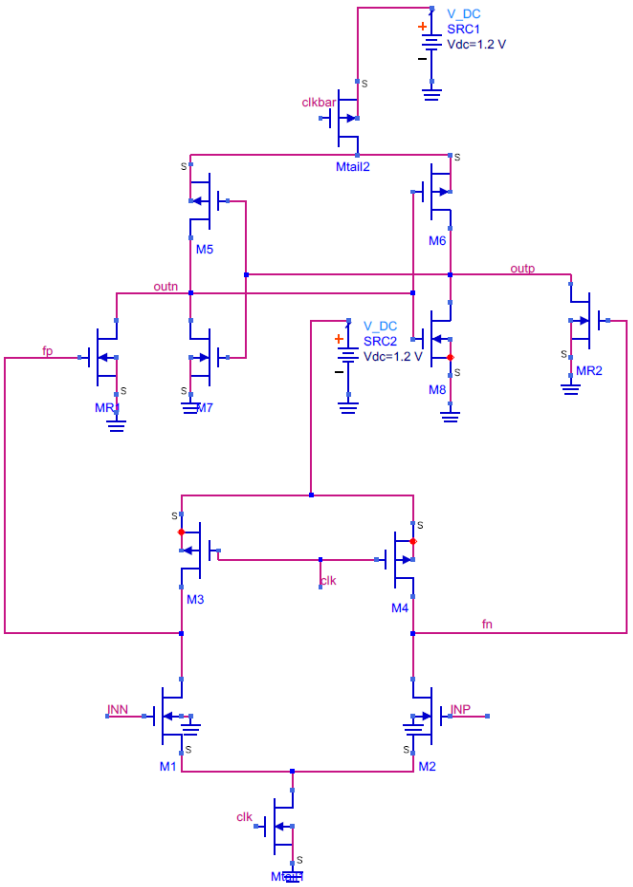
۲- مقایسه‌کننده‌های کلاک‌دار معمولی

۲-۱ مقایسه‌کننده با گیت شناور

ساختار مقایسه‌کننده دینامیکی معمولی با گیت شناور شکل ۱ دارای یک سیگنال کلاک برای تکمیل فرایندهای ریست و احیا می‌باشد. در [۱۰] یک مدار مقایسه‌کننده دروازه شناور با سازگاری افست خودکار با یک ترانزیستور FET با حلقه فیدبک منفی استفاده شده که به دلیل عدم تطابق ترانزیستورها، تغییر فرایند در پیش‌تقویت‌کننده و لچ کاهش می‌یابد.

۲-۲ مقایسه‌کننده دینامیک معمولی دو دنباله

یک مقایسه‌کننده معمولی دو دنباله در شکل ۲ نشان داده شده است [۱۱]. این توپولوژی از انباشته‌شدن کمتری برخوردار است؛ به عبارت دیگر این تکنولوژی، انباشته‌شدن کمتری دارد و دارای تعداد ترانزیستورهای



شکل ۲: شماتیک مقایسه‌کننده دینامیکی معمولی دو دنباله.

NMOS و PMOS کمتری است که باعث می‌شود توان مصرفی پایینی داشته باشد؛ پس می‌تواند در مقایسه با مقایسه‌کننده دینامیکی معمولی در ولتاژهای منبع تغذیه کمتری کار کند [۱۲]. مقایسه‌کننده دو دنباله، هم جریان بزرگی را در طبقه لچ و هم $M_{tail۲}$ بزرگ‌تر برای لچ سریع مستقل از ورودی مشترک V_{CM} و یک جریان کوچک در طبقه ورودی ($M_{tail۱}$ کوچک) برای افست پایین را قادر می‌سازد [۱۲]. شبیه به مقایسه‌کننده دینامیک معمولی، زمان تأخیر این مقایسه‌کننده از ۲ قسمت اصلی $t_{discharge}$ و t_{latch} تشکیل شده و تأخیر $t_{discharge}$ نشان‌دهنده زمان شارژ خازنی است که اولین ترانزیستور کانال n $(M_۲/M_۸)$ روشن و پس از آن احیای لچ شروع می‌شود. بنابراین $t_{discharge}$ به صورت زیر تعریف می‌گردد [۱۳]

$$t_{discharge} = \frac{C_{outp/outn} \times |V_{thn}|}{\frac{I_{tail}}{۲}} \qquad (۱)$$

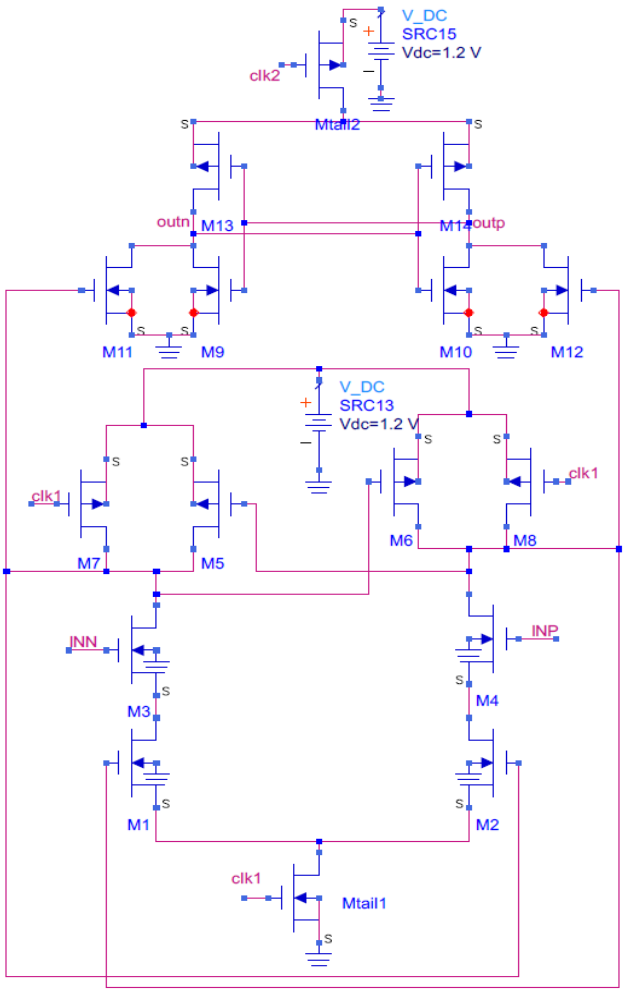
$$\Delta V_{.} = \left|V_{outp(t=t_{discharge})} - V_{outtn(t=t_{discharge})}\right|$$

$$= |V_{thn}| - \frac{I_{۲}.t_{discharge}}{C_{outp/outn}} = |V_{thn}| - \frac{I_{۲}.\frac{C_{outp/outn} \times |V_{thn}|}{I_{۱}}}{C_{outp/outn}} \qquad (۲)$$

$$= |V_{thp}|(۱ - \frac{I_{۲}}{I_{۱}})$$

$$\Delta I_{latch} = |I_{B۱} - I_{B۲}| = g_{mR۱,۲}\Delta V_{fn/fp} \qquad (۳)$$

$$\Delta V_{.} = V_{thn}\frac{\Delta I_{latch}}{I_{B۱}} \simeq ۲V_{thn}\frac{\Delta I_{latch}}{I_{tail۲}} = ۲V_{thn}\frac{g_{m۱,۲}}{I_{tail۲}}\Delta V_{fn/fp} \qquad (۴)$$



شکل ۳: شماتیک مقایسه‌کننده پیشنهادی دو دنباله.

$$\Delta V_{fn/fp} = \left|V_{fn}(t=t_{discharge}) - V_{fp}(t=t_{discharge})\right| = t_{discharge}\frac{I_{N1}-I_{N2}}{C_{Lfp/fn}} = t_{discharge}\frac{g_{m1,2}\Delta V_{in}}{C_{Lfp/fn}} \quad (۵)$$

$$\Delta V_{.} = 2V_{thn}\frac{g_{m1,2}}{I_{tail2}}\Delta V_{fn/fp} = \left(\frac{2V_{thn}}{I_{tail2}}\right)^{2}.\frac{C_{outp/outn}}{C_{Lfp/fn}} g_{mR1,2} g_{m1,2}\Delta V_{in} \quad (۶)$$

$$t_{delay} = t_{discharge} + t_{latch} = 2\frac{V_{thn}C_{outp/outn}}{I_{tail2}} + \frac{C_{outp/outn}}{g_{m,eff}}.\ln\frac{\frac{V_{DD}}{2}}{\Delta V_{.}} = 2\frac{V_{thn}C_{outp/outn}}{I_{tail2}} + \frac{C_{outp/outn}}{g_{m,eff}}.\ln\frac{V_{DD}.I_{tail2}^{2}.C_{Lfp/fn}}{8V_{thn}^{2}.C_{outp/outn}.g_{mR1,2}g_{m1,2}\Delta V_{in}} \quad (۷)$$

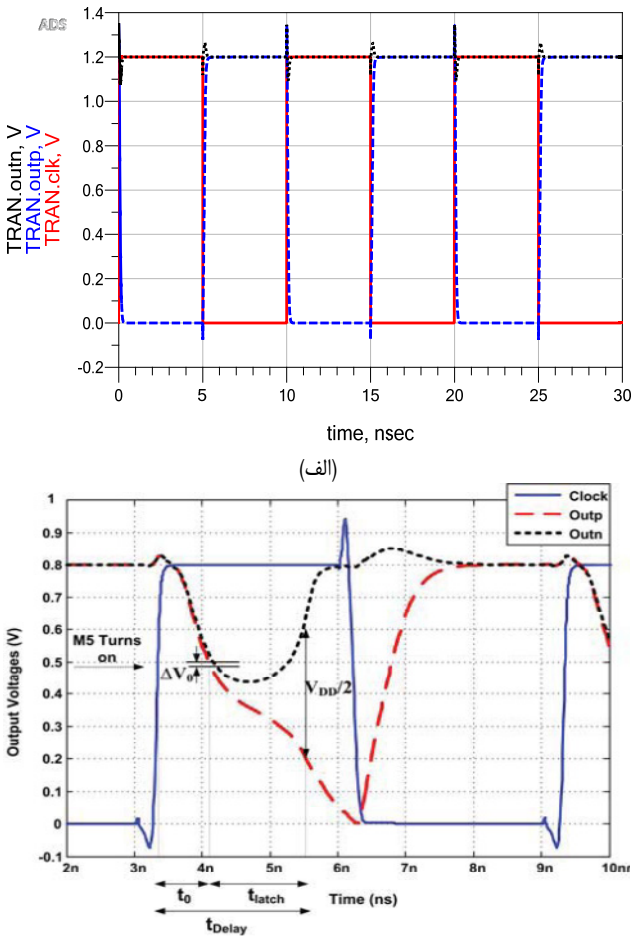
که جریان‌های I_{B1} و I_{B2} لچ‌ها هستند، اختلاف ولتاژ در خروجی‌های طبقه اول $(\Delta V_{fn/fp})$ و $t_{discharge}$ تأثیر زیادی بر ولتاژ خروجی تفاضلی اولیه لچ $(\Delta V_{.})$ و در نتیجه بر تأخیر لچ دارد. بنابراین افزایش اختلاف، تأخیر مقایسه‌کننده را به میزان قابل توجهی کاهش می‌دهد. همچنین در این مقایسه‌کننده، نهایتاً دو ترانزیستور میانی خاموش می‌شوند و در نتیجه هیچ نقشی در هدایت انتقالی لچ ندارند. همچنین این گره‌ها نیاز به شارژ از زمین تا V_{DD} در فاز ریست دارند که به معنی مصرف توان است. در بخش بعد توضیح داده می‌شود که چگونه مقایسه‌کننده پیشنهادی، کارایی مقایسه‌کننده دو دنباله را بهبود می‌بخشد.

۳- مقایسه‌کننده دینامیکی دو دنباله مورد شبیه‌سازی

خروجی‌های طبقه اول $(\Delta V_{fn/fp})$ در زمان $t_{discharge}$ تأثیر زیادی بر ولتاژ خروجی تفاضلی اولیه لچ $(\Delta V_{.})$ و در نتیجه بر تأخیر لچ دارند [۱۴]؛ بنابراین افزایش تفاضلی، تأخیر مقایسه‌کننده را به میزان قابل توجهی کاهش می‌دهد. همچنین در این مقایسه‌کننده، نهایتاً دو ترانزیستور میانی خاموش می‌شوند؛ بنابراین هیچ نقشی در هدایت انتقالی لچ ندارند. علاوه بر این، گره‌ها نیاز به شارژ از زمین تا V_{DD} در فاز ریست دارند که به معنی مصرف توان است (شکل ۳). در ادامه توضیح داده شده که چگونه مقایسه‌کننده ارائه‌گردیده، عملکرد مقایسه‌کننده دو دنباله بالا را بهبود می‌بخشد.

در مرحله فاز ریست ($CLK=0$ و M_{tail1} و M_{tail2} برای جلوگیری از انرژی ساکن خاموش هستند)، M_7 و M_8 هر دو نود fn و fp را به V_{DD} می‌کشند و ترانزیستورهای M_5 و M_6 را خاموش می‌کنند. ترانزیستورهای طبقه میانی (M_{11} و M_{12})، هر دو خروجی لچ را به زمین وصل می‌کنند. در مرحله تصمیم‌گیری ($CLK=V_{DD}$، M_{tail1} و M_{tail2} روشن هستند)، ترانزیستورهای M_7 و M_8 خاموش می‌شوند؛ همچنین در شروع این فاز، ترانزیستورهای کنترل هنوز خاموش هستند (زیرا fn و fp بالاتر از V_{DD} هستند) و بنابراین fn و fp بسته به ولتاژهای ورودی، شروع به افت می‌کنند. با فرض $VINP>VINN$، fn سریع‌تر از fp افت می‌کند (از آنجا که M_4 جریان بیشتری نسبت به M_3 تأمین می‌کند). تا زمانی که fn همچنان در حال افت است، ترانزیستور کنترل pMOS مربوط (در این حالت M_{c1}) روشن می‌شود و گره fp را به V_{DD} بازمی‌گرداند. بنابراین یک ترانزیستور کنترل دیگر (M_6) خاموش باقی می‌ماند و به fn اجازه می‌دهد تا به طور کامل تخلیه شود. به عبارت دیگر، برخلاف یک مقایسه‌کننده معمولی دو دنباله معمولی که $\Delta V_{fn/fp}$ فقط تابعی از هدایت انتقالی ترانزیستور ورودی و اختلاف ولتاژ ورودی است، در ساختار پیشنهادی یک ترانزیستور pMOS (M_5) به محض روشن‌شدن مقایسه‌کننده تشخیص می‌دهد که به عنوان مثال، گره fn سریع‌تر دشارژ می‌شود و گره دیگر fp را به V_{DD} می‌کشاند. بنابراین اختلاف بین fn و fp $(\Delta V_{fn/fp})$ به طور نمایی با گذشت زمان، افزایش و در نتیجه زمان بازسازی لچ کاهش می‌یابد.

علی‌رغم اثربخشی ایده پیشنهادی باید توجه داشت در این مدار، هنگامی که یکی از ترانزیستورهای کنترل (مانند M_5) روشن است، یک جریان از V_{DD} به ترانزیستورهای ورودی و دنباله به زمین کشیده می‌شود (مثلاً M_5، M_3 و M_{tail1}) که منجر به مصرف جریان استاتیک می‌گردد. در ابتدای مرحله تصمیم‌گیری با توجه به این که هر دو گره fn و fp تا V_{DD} شارژ شده‌اند (در مرحله فاز ریست)، هر دو سوئیچ بسته شده و fn و fp با سرعت دشارژ متفاوت شروع به دشارژ می‌کنند. به محض این که مقایسه‌کننده تشخیص داد که یکی از گره‌های fn/fp سریع‌تر تخلیه می‌شود، ترانزیستورهای کنترلی به گونه‌ای واکنش نشان می‌دهند که اختلاف ولتاژ آنها افزایش می‌یابد. با فرض این که fp به V_{DD} و fn به طور کامل دشارژ گردد، سوئیچ در مسیر شارژ fp باز می‌شود (برای جلوگیری از خروج جریان از V_{DD})؛ اما سوئیچ دیگر متصل به fn بسته می‌شود تا اجازه به گره fn داده شود که به طور کامل دشارژ گردد. به عبارت دیگر، عملکرد ترانزیستورهای کنترل با سوئیچ‌ها عملکرد لچ را شبیه‌سازی می‌کند. برای نشان‌دادن تئوری نحوه کاهش تأخیر، معادلات



شکل ۴: شبیه‌سازی گذرا از مقایسه‌کننده دینامیک معمولی، (الف) شکل موج‌های خروجی و (ب) شکل موج‌های خروجی بر حسب ولتاژ ورودی تفاضلی.

تأخیر برای این ساختار، همان طور که قبلاً برای مقایسه‌کننده دینامیکی معمولی و مقایسه‌کننده پویای دوطرفه معمولی انجام شده است، به دست می‌آید. تجزیه و تحلیل، شبیه به مقایسه دوطرفه پویای معمولی است. با این حال مقایسه‌کننده پویای پیشنهادی با تأثیر بر دو عامل مهم، سرعت مقایسه‌کننده دو دنباله را بهبود می‌بخشد:

الف) اختلاف ولتاژ خروجی اولیه را در شروع احیا افزایش می‌دهد $(t = t_{discharge})$. همان طور که قبلاً ذکر شد، ما $t_{discharge}$ زمانی تعریف می‌شود که پس از آن، بازسازی لچ شروع گردد. به عبارت دیگر، $t_{discharge}$ به عنوان زمانی در نظر گرفته می‌شود (در حالی که هر دو خروجی لچ با سرعت‌های مختلف افزایش می‌یابند) که اولین ترانزیستور nMOS اینورترهای پشت‌به‌پشت روشن شود تا یکی از خروجی‌ها را به سمت پایین بکشد و احیا شروع شود. با توجه به (۲)، اختلاف ولتاژ خروجی لچ در زمان $t_{discharge}$ $(\Delta V_.)$، تأثیر قابل توجهی بر زمان احیای لچ دارد، به طوری که $\Delta V_.$ بزرگ‌تر منجر به زمان بازسازی کوتاه‌تری می‌شود. مشابه معادله به دست آمده برای ساختار دو دنباله، این مورد در این مقایسه‌کننده نیز صدق می‌کند. در این مقایسه داریم

$$t_{discharge} = \frac{C_{outp/outn} \times V_{thn}}{\frac{I_{tail۲}}{۲}} \qquad (۸)$$

$$\Delta V_. = V_{thn}\frac{\Delta I_{latch}}{I_{B۱}} \simeq ۲V_{thn}\frac{\Delta I_{latch}}{I_{tail۲}} = ۲V_{thn}\frac{g_{m۱,۲}}{I_{tail۲}}\Delta V_{fn/fp} \qquad (۹)$$

$$\Delta V_{fn/fp} = \Delta V_{(fn/fp).}\, e^{\frac{(A_V - ۱)t}{\tau}} \qquad (۱۰)$$

در این معادله، ولتاژ تفاضلی $\Delta V_{(fn/fp).}$ اولیه گره fn/fp در زمان روشن‌شدن ترانزیستور کنترل pMOS مربوط است. بنابراین می‌توان نشان داد که $\frac{A_V - ۱}{\tau} \cong \frac{C_{Lfp/fn}}{G_{m,eff۱}}$ تشکیل شده است از $\Delta V_{(fn/fp).}$

$$\Delta V_{(fn/fp).} = ۲\left|V_{thp}\right|\frac{g_{m۱,۲}\Delta V_{in}}{I_{tail۱}} \qquad (۱۱)$$

$$\begin{aligned}\Delta V_. &= ۲V_{thn}\frac{g_{mR۱,۲}}{I_{tail۲}}\Delta V_{fn/fp} \\ &= ۴V_{thn}\left|V_{thp}\right|\frac{g_{mR۱,۲}}{I_{tail۲}}.\frac{g_{m۱,۲}\Delta V_{in}}{I_{tail۱}}.e^{\frac{G_{m,eff۱}.t}{C_{Lfp/fn}}}\end{aligned} \qquad (۱۲)$$

$$\Delta V_{fn/fp} = \Delta V_{(fn/fp).}\, e^{\frac{(A_V - ۱)t}{\tau}} \qquad (۱۳)$$

$\Delta V_.$ به طور قابل توجهی و به طور نمایی در مقایسه با مقایسه‌کننده دینامیکی معمولی افزایش یافته است.

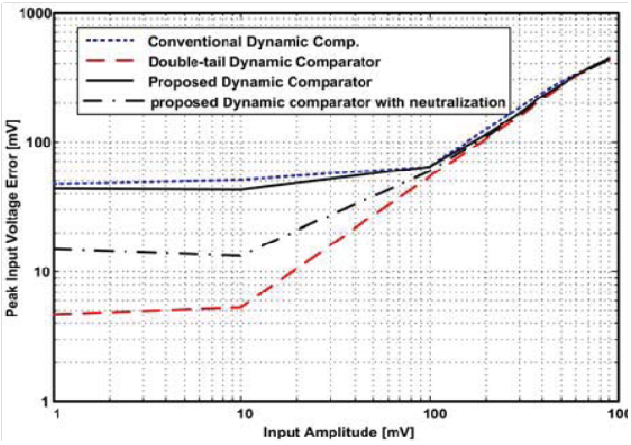
ب) در مقایسه‌کننده پیشنهادی با توجه به این که یکی از گره‌های خروجی طبقه اول fn/fp در ابتدای فاز احیا به V_{DD} شارژ می‌شود، یکی از ترانزیستورهای طبقه میانی روشن می‌شود که هدایت انتقالی لچ را افزایش می‌دهد و به عبارت دیگر، فیدبک مثبت تقویت می‌شود. در نتیجه، زمان لچ به صورت زیر خواهد شد

$$t_{latch} = \frac{C_{outp/outn}}{g_{m,eff} + g_{mR۱,۲}}.\ln\frac{\frac{V_{DD}}{۲}}{\Delta V_.} \qquad (۱۴)$$

$$\begin{aligned}t_{delay} &= t_{discharge} + t_{latch} = ۲\frac{V_{thn}C_{outp/outn}}{I_{tail۲}} + \\ &\frac{C_{outp/outn}}{g_{m,eff} + g_{mR۱,۲}}.\ln\frac{\frac{V_{DD}}{۲}}{\Delta V_.} = ۲\frac{V_{thn}C_{outp/outn}}{I_{tail۲}} + \\ &\frac{C_{outp/outn}}{g_{m,eff} + g_{mR۱,۲}}.\ln\frac{V_{DD}.I_{tail۱}.I_{tail۲}}{۸V_{thn}\left|V_{thp}\right|.g_{mR۱,۲}g_{m۱,۲}\Delta V_{in}.e^{\frac{G_{m,eff۱}.t}{C_{Lfp/fn}}}}\end{aligned} \qquad (۱۵)$$

در مقایسه با عبارات به دست آمده برای تأخیر سه ساختار فوق، مشخص است که مقایسه‌کننده پیشنهادی از فیدبک مثبت داخلی در عملکرد دو دنباله استفاده می‌کند که احیای کلی لچ را افزایش می‌دهد. این بهبود سرعت حتی در ولتاژهای تغذیه کمتر، واضح‌تر بوده و به این خاطر است که برای مقادیر بزرگ‌تر V_{th}/V_{DD}، رسانایی ترانزیستورها کاهش می‌یابد. بنابراین وجود فیدبک مثبت داخلی در معماری طبقه اول منجر به بهبود عملکرد مقایسه می‌شود. نتایج شبیه‌سازی این واقعیت را تأیید می‌کنند (شکل ۴).

ج) علاوه بر بهبود پارامتر کاهش سرعت، انرژی در هر تبدیل نیز کاهش می‌یابد. در توپولوژی معمولی دو دنباله، هر دو گره fn و fp در مرحله تصمیم‌گیری به زمین دشارژ می‌شوند و باید هر بار در مرحله فاز ریست به V_{DD} کشیده شوند. با این حال در مقایسه‌کننده پیشنهادی، تنها یکی از گره‌های ذکرشده (fn/fp) باید در مرحله فاز ریست شارژ شود. این بدین دلیل است که در مرحله تصمیم‌گیری قبلی، بر اساس وضعیت ترانزیستورهای کنترل، یکی از گره‌ها دشارژ نشده و بنابراین به انرژی کمتری نیاز است.



شکل ۵: خطای ولتاژ پیک ورودی به سبب نویز فیدبک.

٤- ملاحظات طراحی

برخی از ملاحظات طراحی باید در مقایسه‌کننده مورد بحث، تجزیه و تحلیل شوند. در تعیین اندازه M_{tail1} و M_{tail2} لازم است تا اطمینان حاصل گردد که زمان روشن‌شدن یکی از ترانزیستورهای کنترل، کمتر از $t_{discharge}$ است که این کار را می‌توان به راحتی با اندازه‌گیری مناسب جریان‌های M_{tail1} و M_{tail2}، هنگام اندازه‌گیری سوئیچ‌های nMOS که در پایین ترانزیستورهای ورودی قرار دارند به دست آورد. باید V_{DS} این سوئیچ‌ها را در نظر گرفت زیرا می‌تواند حاشیه ولتاژ را محدود کند که مزیت استفاده از آنها را در کاربردهای ولتاژ پایین محدود می‌کند. برای کاهش این اثر باید از کلیدهای nMOS مقاومت پایین یا ترانزیستورهای بزرگ استفاده شود. از آنجا که ظرفیت خازن‌های پارازیتی این سوئیچ‌ها بر ظرفیت خازن‌های پارازیتی گره‌های تأثیر fn/fp نمی‌گذارد، می‌توان اندازه ترانزیستورهای سوئیچینگ nMOS را محاسبه کرد تا هم ولتاژ پایین و هم توان پایین را حفظ کند.

الف) تأثیر اندازه ترانزیستور بر ظرفیت خازن پارازیتی و در نتیجه تأخیر مقایسه‌کننده می‌باشد و در حالی که ترانزیستورهای بزرگ‌تر برای تطبیق بهتر مورد نیاز هستند، افزایش ظرفیت خازن پارازیتی تأخیر خیلی کوچکی ایجاد می‌کند. اثر عدم تطابق ولتاژ آستانه و عدم تطابق فاکتور جریان M_5 و M_6 در اکثر موارد تقریباً ناچیز است، مگر در مواردی که ΔV_{in} بسیار کوچک است و fn/fp نرخ دشارژ تقریباً مشابهی دارد؛ زیرا در زمان روشن‌شدن M_{C1} و M_{C2}، سیگنال ورودی تفاضلی در حال حاضر در دامنه وسیعی در مقایسه با عدم تطابق‌ها تقویت می‌شود. به عبارت دیگر، افست ناشی از عدم تطابق M_5 و M_6 با تقسیم بهره از ورودی به خروجی صورت می‌گیرد. با این حال در حالت ΔV_{in} کوچک، هنگامی که fn و fp یکدیگر را از نزدیک دنبال می‌کنند، عدم تطابق M_5 و M_6 ممکن است بر نتیجه مقایسه تأثیر بگذارد. ظرفیت خازن خروجی، تأثیر مهمی بر سرعت و پایداری مدار دارد [۱۵]. محدوده ولتاژ مد مشترک ورودی V_{CM} در مدار مقایسه‌کننده به شرح زیر است

$$\begin{aligned}
&V_{CM} \geq V_{GS3} + V_{OD1} + V_{ODtail1} \\
&V_{DS3} \geq V_{OD3} \Rightarrow V_{D3} - V_{S3} \geq V_{OD3} \\
&\begin{cases} V_{D3} = V_{DD} - |V_{SG5}| \\ V_{S3} = V_{CM} - V_{GS3} \end{cases} \Rightarrow V_{DS3} = V_{DD} - |V_{SG5}| \\
&-(V_{CM} - V_{GS3}) \geq V_{OD3} \Rightarrow V_{CM} \leq V_{DD} - V_{OD3} \\
&V_{GS3} + V_{OD1} + V_{ODtail1} \leq V_{CM} \leq V_{DD} - V_{OD3}
\end{aligned} \quad (16)$$

نویز ترانزیستورهای M_{11}، M_9، M_1 و مکمل آنها ناچیز است و نویز ترانزیستورهای M_{13} و M_3 بیشترین سهم را خواهند داشت و منبع اصلی نویز خواهند بود

$$\overline{V_{n,out}^2} = 2(\overline{V_{n3}^2}(g_{m3}.R_{outp/outn})^2 + \overline{V_{n1}^2}(g_{m13}.R_{outp/outn})^2) \quad (17)$$

که باید g_{m3} ترانزیستور ورودی را افزایش و g_{m13} ترانزیستور خروجی را کاهش داد.

ب) از عوامل مهم دیگر تأثیر عدم تطابق بین ترانزیستورهای کنترلی بر کل افست، مربوط به ورودی مقایسه‌کننده است. در تعیین اندازه M_5 و M_6، دو پارامتر مهم یعنی تأثیر عدم تطابق ولتاژ آستانه و عدم تطابق فاکتور جریان M_5 و M_6 بر ولتاژ افست مربوط به ورودی مقایسه‌کننده باید مورد توجه قرار گیرد [۱۵]

$$i_{diff} = g_{m5/6}\Delta V_{th5/6} \quad (18)$$

$$\Delta V_{\Delta V_{thC1/C2}} = \frac{g_{m5/6}\Delta V_{th5/6}}{g_{m1/2}} \quad (19)$$

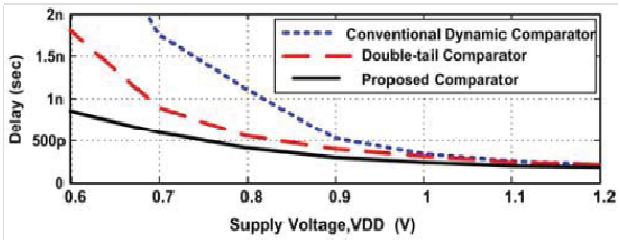
رابطه جریان درین در MOSFET (در حالت اشباع)

$$\begin{aligned}
&I_D = \frac{1}{2}\mu C_{OX}\frac{W}{L}(V_{GS} - V_{th})^2(1 + \lambda V_{DS}) \\
&\Rightarrow i_{diff} = \frac{1}{2}\mu C_{OX}\frac{\Delta W}{L}(V_{SG5/6} - V_{thp})^2
\end{aligned} \quad (20)$$

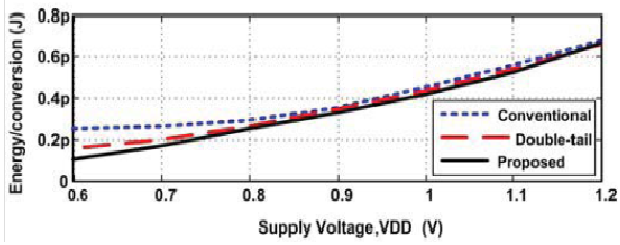
$$\Delta V_{\Delta W} = \frac{i_{diff}}{g_{m1/2}} = \frac{\frac{1}{2}\mu C_{OX}\frac{\Delta W}{L}(V_{SG5/6} - V_{thp})^2}{\mu W_{1/2}(V_{GS3/4} - V_{thn})} \quad (21)$$

$$\Delta V_{total} = \sqrt{\left(\frac{g_{m5/6}\Delta V_{th5/6}}{g_{m1/2}}\right)^2 + \left(\frac{\frac{1}{2}\mu C_{OX}\frac{\Delta W}{L}(V_{SG5/6} - V_{thp})^2}{\mu W_{3/4}(V_{GS3/4} - V_{thn})}\right)^2} \quad (22)$$

ج) در مقایسه‌کننده‌ها، نوسانات ولتاژ زیاد در گره‌های احیا از طریق ظرفیت خازن‌های پارازیتی ترانزیستورها به ورودی مقایسه‌کننده متصل می‌شود. مدار بالادستی مقاومت خروجی صفر ندارد. ولتاژ ورودی به هم می‌خورد که می‌تواند بر دقت مبدل تأثیر بگذارد؛ این اختلال معمولاً «نویز فیدبک» نامیده می‌شود. در [۱۶] نشان داده شده که سریع‌ترین و کارآمدترین مقایسه‌کننده‌ها، نویز فیدبک بیشتری ایجاد می‌کنند. اگرچه توپولوژی دو دنباله می‌تواند سرعت عملکرد و در نتیجه انرژی را بهبود بخشد، اما نویز فیدبک در مقایسه با ساختار معمولی دو دنباله افزایش می‌یابد (شکل ۵). شکل ۶ پیک نویز را به عنوان تابعی از ولتاژ تفاضلی ورودی مقایسه‌کننده در چهار معماری مورد مطالعه نشان می‌دهد. در حالی که ساختار دو دنباله از جداسازی ورودی- خروجی و در نتیجه حداقل نویز فیدبک استفاده می‌کند، مقایسه‌کننده دینامیکی معمولی و ساختار پیشنهادی ما نویز فیدبک تقریباً مشابهی دارند. با این حال از آنجایی که ترانزیستورهای کنترلی در مقایسه‌کننده پیشنهادی ما قصد ندارند به اندازه ترانزیستورهای لچ در یک مقایسه‌کننده دینامیکی معمولی بزرگ باشند، می‌توان اندازه این ترانزیستورها را به گونه‌ای در نظر گرفت که با حفظ مزایای افزایش سرعت و کاهش توان، نویز فیدبک را کاهش داد. علاوه بر این برای برخی از کاربردهایی که نویز فیدبک مورد توجه است، می‌توان از تکنیک‌های ساده کاهش نویز بازخورد مانند خنثی‌سازی [۱۷] برای کاهش چشم‌گیر نویز فیدبک استفاده کرد.



(الف)



(ب)

شکل ۶: (الف) تأخیر شبیه‌سازی شده پس از طرح‌بندی و (ب) انرژی در هر تبدیل به عنوان تابعی از ولتاژ حالت مشترک ورودی ($\Delta V_{in}=۵۰\text{mV}$ و $V_{DD}=۱٫۲\text{V}$).

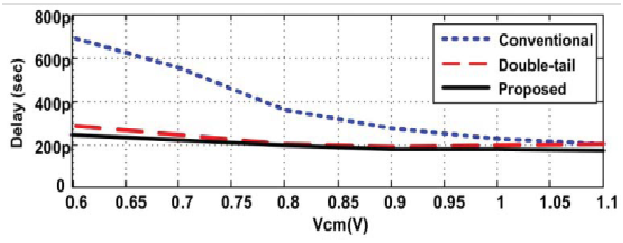
جدول ۱: خلاصه‌ای از پارامترهای مقایسه‌کننده.

پارامتر	مقدار
تکنولوژی CMOS	۰٫۱۸ µm
ماکسیمم فرکانس نمونه‌برداری	۲٫۴ GHz
ولتاژ تغذیه	۱٫۲ V
تأخیر در حالت ($\Delta V_{in}=۱۰\text{mV}$ و $V_{CM}=۰٫۶\text{V}$)	۵۵۰ nS
تأخیر در حالت Delay/log ΔV_{in} (ps/dec)	۶۹
تغییرات استاندارد افست	۷٫۸ mV
انرژی در هر تبدیل	۰٫۶۶ PJ

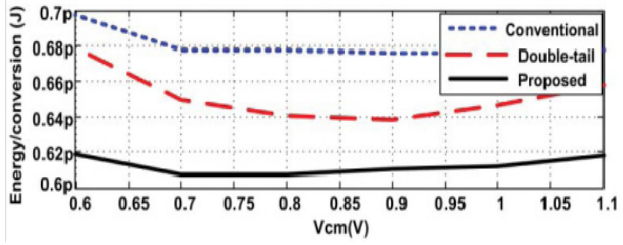
۵- نتایج شبیه‌سازی

برای قیاس مقایسه‌کننده‌های پیشنهادی با مقایسه‌کننده‌های معمولی و دو دنباله، همه مدارها با فناوری CMOS ۰٫۱۸-µm با $V_{DD}=۱٫۲\text{V}$ شبیه‌سازی شده‌اند. مقایسه‌کننده‌ها، بهینه و ابعاد ترانزیستور مقیاس‌بندی گردیده‌اند تا در مجموع، تغییرات استاندارد افست کلی $\sigma_{OS}=۸\text{mV}$ را در ولتاژ مد مشترک ورودی $V_{CM}=۱٫۱\text{V}$ به دست آورند. شکل ۷- الف و ۷- ب، نتایج شبیه‌سازی پس از طرح تأخیر و انرژی در هر تبدیل مقایسه‌کننده‌های دینامیکی فوق را به عنوان تابعی از تغییرات ولتاژ منبع نشان می‌دهد.

همان طور که در شکل ۶- الف آمده است، تأخیر مقایسه‌کننده دو دنباله پیشنهاد شده در ولتاژهای تغذیه کم در مقایسه با دو ساختار دیگر به طور قابل توجهی کمتر است. بدیهی است که توپولوژی دو دنباله، سریع‌تر عمل می‌کند و می‌تواند در ولتاژهای تغذیه کمتری مورد استفاده قرار گیرد؛ در حالی که تقریباً همان توان را با مقایسه‌کننده دینامیکی معمولی مصرف می‌کند. مثلاً مقایسه‌کننده پیشنهادی می‌تواند با ولتاژ تغذیه ۰٫۶ V، مقدار ۱۰۶ فمتوژول در تبدیل با تأخیر ۰٫۸۴ نانوثانیه در مقایسه با ۱٫۸۱ نانوثانیه برای مقایسه‌کننده معمولی دو دنباله و ۳٫۵ نانوثانیه برای توپولوژی معمولی عمل کند. شبیه‌سازی‌ها نشان می‌دهند که اگر مدار برای $V_{DD}=۰٫۶\text{V}$ بهینه شود، نتایج مدار پیشنهادی حتی بهتر خواهد بود. شکل ۷ عملکرد شبیه‌سازی شده را تابعی از ولتاژ ورودی مشترک (V_{cm}) نشان می‌دهد. به طور کلی، تأخیر مقایسه‌کننده در توپولوژی‌های دو دنباله کمتر تحت تأثیر تغییرات ولتاژ ورودی مشترک نسبت به توپولوژی دینامیک معمولی



(الف)



(ب)

شکل ۷: (الف) تأخیر شبیه‌سازی شده پس از طرح‌بندی و (ب) انرژی در هر تبدیل به عنوان تابعی از ولتاژ حالت مشترک ورودی ($V_{cm}=V_{DD}-۰٫۱\text{V}$ و $V_{DD}=۱٫۲\text{V}$).

قرار می‌گیرد و بنابراین دارای طیف وسیع‌تری از حالت مشترک بوده و توان مصرفی تقریباً یکسان است. در شبیه‌سازی مقایسه‌کننده‌ها در نرم‌افزار از تکنولوژی CMOS ۰٫۱۸ -µm به صورت جدول ۱ استفاده شده است.

در این پژوهش، تجزیه و تحلیل جامعی از تأخیر برای مقایسه‌کننده‌های دینامیک با کلاک و عبارات مورد نظر ارائه گردید و دو ساختار مشترک مقایسه‌کننده دینامیک معمولی و مقایسه‌کننده دینامیک دو دنباله مورد تجزیه و تحلیل قرار گرفت. همچنین بر اساس تجزیه و تحلیل نظری، یک مقایسه‌کننده دینامیکی دو دنباله پیشنهادی با ولتاژ کم و ظرفیت توان کم برای بهبود عملکرد مقایسه‌کننده مورد تجزیه و تحلیل قرار گرفته شد که در جدول ۲ کارایی مقایسه‌کننده‌های مورد شبیه‌سازی نشان داده شده است.

نتایج شبیه‌سازی با فناوری CMOS ۰٫۱۸ -µm بیانگر این مطلب است که تأخیر و انرژی در تبدیل مقایسه‌کننده پیشنهادی در مقایسه با مقایسه‌کننده دینامیکی معمولی و مقایسه‌کننده دو دنباله بسیار کاهش می‌یابد که در نتیجه توان مصرفی مدار، کاهش و سرعت مدار افزایش می‌یابد. همچنین در مقایسه با کارهای جدید از انباشته‌شدن ترانزیستور کمتری برخوردار است و می‌توان در حالت زیر آستانه و از اثر بالک- درایون ماسفت ورودی‌ها در قسمت پیش‌تقویت‌کننده مقایسه‌کننده استفاده کرد تا توان مصرفی را کاهش داد.

۶- نتیجه‌گیری

این مقاله یک تحلیل ریاضی با ملاحظات مورد نظر، زمان تأخیر انتشار را برای مقایسه‌کننده‌های دینامیکی ساعت‌دار ارائه می‌کند و عبارات ریاضی مورد تجزیه و تحلیل قرار گرفته‌اند. ساختارهای مقایسه‌کننده دینامیکی معمولی و دینامیکی دو دنباله معمولی مورد تجزیه و تحلیل قرار گرفتند. همچنین بر اساس تحلیل نظری، مقایسه‌کننده دینامیکی دو دنباله با ولتاژ پایین و توان مصرفی کم برای بهبود عملکرد مقایسه‌کننده پیشنهاد گردیده است. نتایج شبیه‌سازی در فناوری CMOS ۰٫۱۸-µm میکرومتری، نرم‌افزار ADS تأیید کرد که تأخیر مقایسه‌کننده دینامیکی مورد بحث و انرژی در هر تبدیل در مقایسه با مقایسه‌کننده دینامیکی و دو دنباله معمولی به طور قابل توجهی به ترتیب حدود ۹۰ و ۸۰ درصد کاهش می‌یابد.

جدول ۲: مقایسه کارایی مقایسه‌کننده‌ها.

نوع مقایسه‌کننده	مرسوم	دو دنباله	دینامیک پیشنهادی
تکنولوژی (µm) CMOS	۰٫۱۸	۰٫۱۸	۰٫۱۸
ولتاژ تغذیه (V)	۱٫۲	۱٫۲	۱٫۲
ماکسیمم فرکانس نمونه‌برداری (GHz)	۰٫۹	۱٫۸	۲٫۴
انرژی در هر تبدیل (pJ)	۰٫۳	۰٫۲۸	۰٫۲۵
تأخیر بر حسب لگاریتم تغییرات ولتاژ ورودی (ps/dec.)	۹۵۰	۳۶۰	۲۹۰
پیک ولتاژ نویز انتقالی در زمان احیا (nV)	۲۱۵	۲۲۰	۲۲۰
ولتاژ افست ارجاع‌شده به ورودی (mV)	۷٫۸	۷٫۹	۷٫۸

مراجع

[1] H. Ghasemian, R. Ghasemi, E. Abiri, and M. R. Salehi, "A novel high-speed low-power dynamic comparator with complementary differential input in 65 nm CMOS technology," *Microelectronics J.*, vol. 92, Article ID: 104603, 9 pp., Oct. 2019.

[2] A. Mesgarani, M. N. Alam, F. Z. Nelson, and S. U. Ay, "Supply boosting technique for designing very low-voltage mixed-signal circuits in standard CMOS," in *Proc. IEEE Int. Midwest Symp. Circuits Syst. Dig. Tech. Papers*, pp. 893-896, Seattle, WA, USA, 1-4 Aug. 2010.

[3] M. Maymandi-Nejad and M. Sachdev, "1 bit quantiser with rail to rail input range for sub-1V ΔΣ modulators," *IEEE Electron. Lett.*, vol. 39, no. 12, pp. 894-895, Jan. 2003.

[4] M. T. Mustaffa, "A low power comparator utilizing MTSCStack, DTTS, and bulk-driven techniques," *IJRES*, vol. 10, no. 3, pp. 221-229, Nov. 2021.

[5] B. Goll and H. Zimmermann, "A 0.12 µm CMOS comparator requiring 0.5 V at 600 MHz and 1.5 V at 6 GHz," in *Proc. IEEE Int. Solid-State Circuits Conf., Dig. Tech. Papers*, pp. 316-317, San Francisco, CA, USA, 11-15 Feb. 2007.

[6] D. Shinkel, E. Mensink, E. Klumperink, E. van Tuijl, and B. Nauta, "A double-tail latch-type voltage sense amplifier with 18 ps setup + hold time," in *Proc. IEEE Int. Solid-State Circuits Conf., Dig. Tech. Papers*, pp. 314-315, San Francisco, CA, USA, 11-15 Feb. 2007.

[7] P. Nuzzo, F. D. Bernardinis, P. Terreni, and G. Van der Plas, "Noise analysis of regenerative comparators for reconfigurable ADC architectures," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 55, no. 6, pp. 1441-1454, Jul. 2008.

[8] B. Goll and H. Zimmermann, "Low-power 600 MHz comparator for 0.5 V supply voltage in 0.12 µm CMOS," *IEEE Electron. Lett.*, vol. 43, no. 7, pp. 388-390, Mar. 2007.

[9] A. Nikoozadeh and B. Murmann, "An analysis of latched comaprator offset due to load capacitor mismatch," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 53, no. 12, pp. 1398-1402, Dec. 2006.

[10] Y. L. Wong, M. H. Cohen, and P. A. Abshire, "A floating-gate comparator with automatic offset adaptation for 10-bit data conversion," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 52, no. 7, pp. 1316-1326, Jul. 2005.

[11] S. Babayan-Mashhadi and R. Lotfi, "An offset cancellation technique for comparators using body-voltage trimming," *Int. J. Analog Integr. Circuits Signal Process*, vol. 73, no. 3, pp. 673-682, Dec. 2012.

[12] V. Jain, "An intensive study of thermal effects in high speed low power CMOS dynamic comparators," in *Proc. IEEE Int. Conf. on Communication and Electronics Systems*, pp. 343-352, Coimbatre, India, 8-10 Jul. 2021.

[13] L. Nagy, D. Arbet, M. Kov'ac, M. Sovcik, and V. Stopjakov'a, "Performance analysis of ultra low-voltage rail-to-rail comparator in 130 nm CMOS technology," in *Proc. IEEE AFRICON*, 5 pp., Accra, Ghana, 25-27 Sept. 2019.

[14] S. Wang, C. Ghezzi, C. Camp, and A. Laville, "A 24 MHz relaxation oscillator using single current mode comparator with ±1.67% drift from -40°C to +175°C for automotive sensor application," in *Proc. 2020 IEEE Sensors*, 5 pp., Rotterdam, Netherlands, 25-28 Oct. 2020.

[15] M. Bchir, N. Hassen, and K. Besbes, "A novel high-performance ADC flash based on bulk-driven quasi-floating gate current mirror," in *Proc. Int. Multi-Conf. on Systems, Signals & Devices, SSD'20*, pp. 780-785, Monastir, Tunisia, 20-23 Jul. 2020.

[16] M. Yavari, N. Maghari, and O. Shoaei, "An accurate analysis of slew rate for two-stage CMOS opamps," *IEEE Trans. on Circuits and Systems II*, vol. 52, no. 3, pp. 164-167, Mar. 2005.

[17] N. Dupré, Y. Bidaux, O. Dubrulle, and G. F. Close, "A stray-field-immune magnetic displacement sensor with 1% accuracy," *IEEE Sensors J.*, vol. 20, no. 19, pp. 11405-11411, 1 Oct. 2020.

اکبر حیدری‌تبار در سال ۱۳۵۶ در شهرستان نور استان مازندران متولد شده است. او مدرک کارشناسی مهندسی برق- الکترونیک را از دانشگاه شهید رجایی تهران در سال ۱۳۸۰ دریافت نمود. در سال ۱۳۸۵ مدرک کارشناسی ارشد مهندسی برق- الکترونیک را از دانشگاه آزاد اسلامی واحد تهران جنوب اخذ نموده است. او هم‌اکنون دانشجوی دکتری تخصصی مهندسی برق الکترونیک دانشگاه آزاد اسلامی واحد نور می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان طراحی مدارهای مجتمع آنالوگ و دیجیتال و مقایسه کننده های توان پایین و سرعت بالا می‌باشد.

حبیب آدرنگ در سال ۱۳۵۹ در تهران متولد شده است. او مدرک کارشناسی مهندسی برق – الکترونیک خود را در سال ۱۳۸۲ از دانشگاه صنعتی اصفهان اخذ نموده و توانسته در سال ۱۳۸۴ در دانشگاه فردوسی مشهد مقطع کارشناسی ارشد خویش را به پایان برساند. او مدرک دکتری خود را از دانشگاه مازندران در رشته مهندسی برق و در سال ۱۳۹۱ دریافت نموده است. او هم‌اکنون دانشیار دانشکده فنی و مهندسی دانشگاه آزاد اسلامی واحد نور می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی فیلترهای مجتمع، طراحی مدارهای آنالوگ و دیجیتال، تحلیل مدارهای غیرخطی در حوزه میکروالکترونیک RF.

سید صالح قریشی مدرک کارشناسی مهندسی برق- الکترونیک را از دانشگاه صنعتی نوشیروانی بابل اخذ نموده و توانسته به ترتیب در سال‌های ۱۳۸۸ و ۱۳۹۲ مقاطع کارشناسی ارشد و دکتری خود را در رشته مهندسی برق- الکترونیک در دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران به پایان برساند. او هم‌اکنون دانشیار دانشکده فنی و مهندسی دانشگاه آزاد اسلامی واحد نور می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: نانوالکترونیک، شبیه‌سازی و مدل‌سازی عدد ادوات نیمه‌هادی مانند ترانزیستورهای اثرمیدانی نانولوله‌ای کربنی و گرافن.

رضا یوسفی در سال ۱۳۵۳ در شهرستان محمودآباد استان مازندران متولد شد. مقطع کارشناسی را در دانشگاه صنعتی خواجه نصیر تهران در سال ۱۳۷۵، مقطع کارشناسی ارشد را در دانشگاه تهران در سال ۱۳۷۸ و مقطع دکتری تخصصی را در دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران در سال ۱۳۸۴ در رشته برق گرایش الکترونیک به پایان رساند. ایشان از سال ۱۳۷۹ به عنوان عضو هیأت علمی دانشگاه آزاد اسلامی واحد نور مشغول به فعالیت می‌باشد و هم‌اکنون دانشیار دانشکده فنی و مهندسی این واحد دانشگاهی می‌باشد. اهم موضوعات پژوهشی ایشان در حوزه های تحلیل و شبیه‌سازی افزاره‌های الکترونیکی در مقیاسهای نانو، افزاره‌های الکترونیک نوری و مدل‌سازی این افزاره‌ها بوده است.